



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2005 019 041 B4 2009.04.16**

(12)

Patentschrift

(21) Aktenzeichen: **10 2005 019 041.3**

(22) Anmeldetag: **23.04.2005**

(43) Offenlegungstag: **02.11.2006**

(45) Veröffentlichungstag
 der Patenterteilung: **16.04.2009**

(51) Int Cl.⁸: **G11C 7/22 (2006.01)**

G11C 11/4076 (2006.01)

G11C 11/4093 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
Qimonda AG, 81739 München, DE

(74) Vertreter:
Wilhelm & Beck, 80639 München

(72) Erfinder:
Braun, Georg, 83607 Holzkirchen, DE; Plättner, Eckehard, 82041 Oberhaching, DE; Weis, Christian, 82110 Germering, DE; Jakobs, Andreas, 81673 München, DE

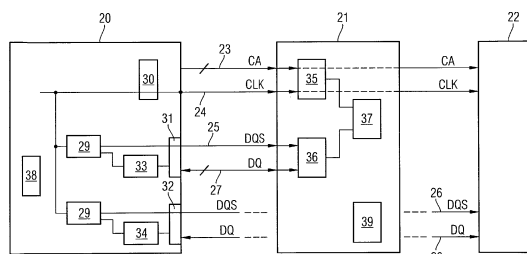
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US2004/01 43 775 A1
JEDEC Standard No. 79-2A, January 2004;

(54) Bezeichnung: **Halbleiterspeicher und Verfahren zur Anpassung der Phasenbeziehung zwischen einem Taktsignal und Strobe-Signal bei der Übernahme von zu übertragenden Schreibdaten**

(57) Hauptanspruch: Verfahren zur Anpassung der Phasenbeziehung zwischen einem von einer Speicher-Steuereinheit (20) bereitgestellten Taktsignal (CLK) und einem von der Speicher-Steuereinheit (20) bereitgestellten Strobe-Signal (DQS) zur Übernahme von zu übertragenden Schreibdaten in eine Speicherschaltung (21, 22), wobei ein Schreibbefehlssignal synchronisiert zu dem Taktsignal an die Speicherschaltung übertragen wird; wobei ein Schreibdatensignal synchron zu dem Strobe-Signal übertragen wird;

wobei ein Phasenversatz zwischen dem gesendeten Taktsignal (CLK) und dem gesendeten Strobe-Signal (DQS) so eingestellt wird, dass die Schreibdaten in der Speicherschaltung (21, 22) zuverlässig übernommen werden; wobei in der Speicherschaltung (21, 22) folgende Schritte ausgeführt werden:

- Generieren eines Schreibakzeptanzsignals (SAS) abhängig von dem Taktsignal (CLK) und dem Schreibbefehlssignal (WR) mit einer bestimmten SAS-Pulsdauer;
- Bestimmen der Anzahl von Flanken des Strobe-Signals (DQS) mit einer definierten Flankenrichtung während der SAS-Pulsdauer;
- Bereitstellen einer Fehlerinformation abhängig von der bestimmten Anzahl.



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Anpassung der Phasenbeziehung zwischen einem von einer Speicher-Steuereinheit (Speichercontroller) bereitgestellten Taktsignal und von einem von der Speicher-Steuereinheit bereitgestellten Strobe-Signal bei der Übernahme von übertragenen Schreibdaten in einer Speicherschaltung. Die Erfindung betrifft weiterhin eine Speicherschaltung mit der die Phasenbeziehung zwischen dem Taktsignal und dem Strobe-Signal angepasst werden kann. Die Erfindung betrifft weiterhin eine Speicher-Steuereinheit, die die Phasenbeziehung zwischen dem Taktsignal und dem Strobe-Signal anpasst.

[0002] Herkömmliche Speicherschaltungen werden üblicherweise mithilfe einer Speicher-Steuereinheit (einem sogenannten Speichercontroller) angesteuert, um die Speicherschaltungen spezifikationsgemäß zu betreiben. Für die Kommunikation der Speicher-Steuereinheit mit einer oder mehreren Speicherschaltungen, insbesondere DRAM-Speicherschaltungen, werden in der Regel ein Taktsignal für die Übertragung der Befehls- und Adressdaten sowie ein Strobe-Signal für die Übertragung der Schreibdaten, die in der Speicherschaltung gespeichert werden sollen, verwendet. Beim Eintreffen des Taktsignals und des Strobe-Signals in der Speicherschaltung müssen das Strobe-Signal und das Taktsignal eine fest vorgegebene Phasenbeziehung einhalten, die im Wesentlichen durch eine Setup-Zeit tDSS und eine Hold-Zeit tDSH für das Strobe-Signal relativ zu dem Taktsignal beschrieben wird, um zu gewährleisten, dass zu schreibende Daten korrekt in die Speicherschaltung übernommen werden.

[0003] Üblicherweise wird die Einhaltung dieser Phasenbeziehung durch sorgfältige Anpassung der Leiterbahnlängen zwischen der Speicher-Steuereinheit und der jeweiligen Speicherschaltung für das Taktsignal und das Strobe-Signal sowie für die entsprechenden Befehls- und Adresssignal bzw. die Datensignale erreicht. Dabei ist allerdings zu berücksichtigen, dass die jeweiligen Signale unter Umständen unterschiedliche Ausbreitungsgeschwindigkeiten auf ihren jeweiligen Signalleitungen, z. B. aufgrund unterschiedlichen Lasten der daran angeschlossenen Eingänge, so wie durch deren unterschiedliche physikalische Eigenschaften aufweisen.

[0004] Bei bestimmten Busanordnungen zwischen der Speicher-Steuereinheit und den Speicherschaltungen eines Speichermoduls ist ein Ausgleich der Laufzeiten nur in einem sehr beschränkten Frequenzband oder unter Umständen gar nicht mehr möglich. Insbesondere bei Verwendung eines Fly-By-Bus für die Übertragung des Taktsignals und der dazu synchronisiert gesendeten Befehls- und Adressdaten kommt es zwischen dem Taktsignal und

Strobe-Signal zu einem nicht definierten Phasenversatz. Üblicherweise sind die entsprechenden Signallaufzeiten bei Verwendung des Fly-By-Bus länger als bei den Leitungen zur Übertragung des Strobe-Signals und der dazu synchronisiert gesendeten Datensignale, die üblicherweise in Form einer Punkt-zu-Punkt(P2P)-Verbindung zwischen der Speicher-Steuereinheit und der Speicherschaltung ausgebildet sind.

[0005] Diesbezüglich weist die Speicher-Steuereinheit üblicherweise eine Schaltung auf, die das Taktsignal und das Strobe-Signal für die Speicherschaltungen generiert, wobei die zeitliche Beziehung der beiden Signale in gewissen Grenzen einstellbar ist. Mithilfe einer solchen Schaltung kann die Phasenbeziehung der beiden Signale beim Eintreffen an der entsprechenden Speicherschaltung eingestellt werden, unabhängig von der relativen Länge der Leitungen für das Taktsignal und das Strobe-Signal und der an diesen anliegenden Lasten.

[0006] Um die Phasenbeziehung der Speicher-Steuereinheit so einstellen zu können, dass die Signale an der Speicherschaltung mit der gewünschten Phasenversatz bzw. phasenrichtig ankommen, kann man die Speicherschaltung mit einem Phasenkomparator versehen, der die zeitliche Beziehung zwischen dem Taktsignal und dem Strobe-Signal misst. Das gemessene Ergebnis wird an die Speicher-Steuereinheit übertragen, die daraufhin die gewählte Verzögerungszeit zwischen dem Taktsignal und dem Strobe-Signal entsprechend korrigieren kann. Da die Messung der zeitlichen Beziehung zwischen dem Taktsignal und dem Strobe-Signal mit vertretbarem Schaltungsaufwand nur relativ ungenau erfolgen kann, insbesondere auch wegen der bei Speicherschaltungen verwendeten Herstellungstechnologie, müssen große Toleranzen bei der Einstellung der Phasenbeziehung in der Speicher-Steuereinheit berücksichtigt werden, so dass die maximale Betriebsfrequenz der Speicherschaltung begrenzt ist.

[0007] Ein weiterer möglicher Nachteil besteht darin, dass der Phasenkomparator lediglich die Phaseninformation zwischen Taktsignal und Strobe-Signal ermittelt, ohne aber den wirklichen Ausfallmechanismus der Speicherschaltung im Falle einer nicht spezifikationsgemäßen Phasenbeziehung zwischen dem Taktsignal und dem Strobe-Signal nachzubilden. Das heißt, während bislang das Taktsignal und das Strobe-Signal von der Speicher-Steuereinheit so angelegt werden, dass es mit einer definierten Phasenbeziehung an der jeweiligen Speicherschaltung anliegt, die innerhalb der durch die Spezifikation vorgegebenen Werte liegt, ist es bislang nicht vorgesehen, Speicherschaltungen außerhalb der durch die Spezifikation vorgegebenen Grenzwerten zu betreiben, selbst wenn diese über die spezifikationsgemäß-

ßen Grenzen hinaus fehlerlos betreibbar sind.

[0008] Die Druckschrift US 2004/0143775 A1 zeigt ein Verfahren zur Phasen Anpassung zwischen einem Taktsignal zwischen einer Speichersteuereinheit und einem Data-Strobe-Signal mit einem Speicherbaustein, indem ein Schreibbefehlssignal synchron mit einem Taktsignal an einen Speicherbaustein und das Schreibdatensignal synchron zu einem Data-Strobe-Signal übertragen wird, wobei ein Phasenversatz zwischen Taktsignal und Data-Strobe-Signal so eingestellt wird, dass die Schreibdaten im Speicher zuverlässig übernommen werden.

[0009] Weiterhin wird auf den JEDEC Standard Nr. 79-2A, Januar 2004, www.jedec.org verwiesen, in dem eine DDR2-SDRAM-Spezifikation beschrieben ist.

[0010] Es ist Aufgabe der vorliegenden Erfindung, ein Verfahren zur Verfügung zu stellen, bei dem die Phasenbeziehung zwischen einem Taktsignal und einem Strobe-Signal beim Schreiben von Schreibdaten in eine Speicherschaltung angepasst werden können. Es ist weiterhin Aufgabe der vorliegenden Erfindung, eine Speicherschaltung und eine Speicher-Steuerereinheit zur Verfügung zu stellen, wobei die Phasenbeziehung zwischen dem Taktsignal und dem Strobe-Signal bei Anliegen an der Speicherschaltung angepasst ist, um eine zuverlässige Übernahme von zu übertragenden Schreibdaten zu gewährleisten.

[0011] Diese Aufgabe wird durch das Verfahren nach Anspruch 1, die Speicherschaltung nach Anspruch 11 sowie die Speicher-Steuerereinheit nach Anspruch 18 gelöst.

[0012] Weitere vorteilhafte Ausführungsformen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0013] Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein Verfahren zur Anpassung der Phasenbeziehung zwischen einem von einer Speicher-Steuerereinheit bereitgestellten Taktsignal und einem von der Speicher-Steuerereinheit bereitgestellten Strobe-Signal zur Übernahme von zu übertragenden Schreibdaten in eine Speicherschaltung vorgesehen. Dabei wird ein Schreibbefehls-Signal synchronisiert zu dem Taktsignal an die Speicherschaltung und ein Schreibdatensignal synchron zu dem Strobe-Signal übertragen. Zwischen dem gesendeten Takt-Signal und dem gesendeten Strobe-Signal wird ein Phasenversatz so eingestellt, dass die Schreibdaten in der Speicherschaltung zuverlässig übernommen werden. In der Speicherschaltung werden folgende Schritte ausgeführt:

- Generieren eines Schreibakzeptanzsignals abhängig von dem Taktsignal und dem Schreibbe-

- fehlsignal mit einer bestimmten SAS-Pulsdauer;
- Bestimmen der Anzahl von Flanken des Strobe-Signals mit einer definierten Flankenrichtung (slope) während der SAS-Pulsdauer; und
- Bereitstellen einer Fehlerinformation abhängig von der bestimmten Anzahl.

[0014] Vorzugsweise wird die bestimmte Anzahl mit einer vorbestimmten Soll-Anzahl von entsprechenden Flanken des Strobe-Signals verglichen und als Fehlerinformation eine Information bereitgestellt, die angibt, ob die bestimmte Anzahl mit der Soll-Anzahl übereinstimmt.

[0015] Das erfindungsgemäße Verfahren verwendet ein Schreibakzeptanzsignal, das eine bestimmte Pulsdauer vorgibt, innerhalb der alle Schreibdaten für ein korrektes Übernehmen in die Speicherschaltung empfangen sein müssen, um festzustellen, ob das Taktsignal und das Strobe-Signal einen solchen Phasenversatz aufweisen, der es ermöglicht, die Speicherschaltung zuverlässig zu betreiben. Das Schreibakzeptanzsignal ist ein Signal, das in herkömmlichen Speicherschaltungen generiert wird, und dient üblicherweise als Aktivierungssignal für einen Zähler, der definierte Flanken eines Strobe-Signals zählt und nach Erreichen einer Soll-Anzahl der definierten Flanken die währenddessen erwarteten Schreibdaten aus einem Eingangslatch, z. B. mithilfe eines Flip-Flops oder eines Schreibregisters, ausliest und auf einen internen Datenbus anlegt. Bei der vorliegenden Erfindung wird das Schreibakzeptanzsignal dazu benutzt, um festzustellen, ob die Anzahl der definierten Flanken des Strobe-Signals der Soll-Anzahl der definierten Flanken entspricht, so dass, wenn dies der Fall ist, davon ausgegangen werden kann, dass die Schreibdaten während der Pulsdauer des Schreibakzeptanzsignals vollständig empfangen werden konnten, da die Schreibdaten im Wesentlichen synchron zu dem Strobe-Signal übertragen werden. Mithilfe einer Fehlerinformation, die angibt, ob die bestimmte Anzahl der definierten Flanken mit der Soll-Anzahl der definierten Flanken übereinstimmt oder nicht, kann also festgestellt werden, ob der Phasenversatz zwischen dem gesendeten Taktsignal und dem gesendeten Strobe-Signal so ist, dass die Speicherschaltung fehlerfrei und zuverlässig betrieben werden kann oder nicht. Wird festgestellt, dass die Anzahl der definierten Flanken von der Soll-Anzahl der definierten Flanken abweicht, so besteht zwischen dem gesendeten Taktsignal und dem gesendeten Strobe-Signal ein Phasenversatz, der die zuverlässige Übernahme der Schreibdaten in die Speicherschaltung nicht erlaubt. Durch das Bereitstellen der Fehlerinformation kann nun z. B. der Speicher-Steuerereinheit signalisiert werden, den Phasenversatz zwischen dem Taktsignal und dem Strobe-Signal zu ändern.

[0016] Gemäß einer Ausführungsform der Erfin-

dung kann die Fehlerinformation in der Speicherschaltung zwischengespeichert werden und/oder an die Speicher-Steuereinheit übertragen werden.

[0017] Weiterhin kann vorgesehen sein, dass die Speicher-Steuereinheit abhängig von der Fehlerinformation den Phasenversatz einstellt. Ferner kann vorgesehen sein, dass die Speicher-Steuereinheit einen Kalibriermodus in der Speicherschaltung einstellt, wobei in dem Kalibrierbetriebsmodus der einzustellende Phasenversatz iterativ durch mehrfaches Schreiben von Testdaten ermittelt wird.

[0018] Vorzugsweise wird in dem Kalibriermodus der Phasenversatz zwischen dem Taktsignal und dem Strobe-Signal in einem Phasenversatzbereich variiert und die entsprechenden resultierenden Fehlerinformationen empfangen, so dass aus den resultierenden entsprechenden Fehlerinformationen ein oberer Grenzwert und ein unterer Grenzwert der Phasenversätze ermittelbar ist, zwischen denen die Speicherschaltung die Schreibdaten zuverlässig übernehmen kann, wobei der Phasenversatz so eingestellt wird, dass er zwischen dem oberen Grenzwert und dem unteren Grenzwert liegt.

[0019] Vorzugsweise wird die Fehlerinformation aus einem Übernahmesignal abgeleitet, das angibt, dass alle zu empfangenden Schreibdaten empfangen wurden, wobei durch die Fehlerinformation ein Fehler angegeben wird, wenn nach Ablauf der Pulsdauer kein Übernahmesignal vorliegt.

[0020] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Speicherschaltung zum Generieren einer Fehlerinformation für die Anpassung der Phasenbeziehung zwischen einem angelegten Taktsignal und einem angelegten Strobe-Signal vorgesehen. Die Speicherschaltung umfasst eine Befehlsdatenempfangseinheit zum Empfangen eines Befehlssignals und eines Taktsignals, eine Schreibdatenempfangseinheit zum Empfangen eines Schreibdatensignals und eines Strobe-Signals sowie eine Testeinheit. Die Testeinheit weist einen Flanken-zähler auf, der die Anzahl der Flanken des Strobe-Signals mit einer definierten Flankenrichtung während einer Pulsdauer eines von dem Taktsignal und dem Schreibbefehlssignal abhängigen Schreibakzeptanzsignals bestimmt. Es ist eine Bereitstellungseinheit vorgesehen, um eine Fehlerinformation abhängig von der bestimmten Anzahl bereitzustellen.

[0021] Vorzugsweise ist ein Vergleicher vorgesehen, der die bestimmte Anzahl mit einer vorbestimmten Soll-Anzahl von entsprechenden Flanken des Strobe-Signals vergleicht, wobei die Bereitstellungseinheit als Fehlerinformation eine Angabe bereitstellt, die angibt, ob die bestimmte Anzahl mit der Soll-Anzahl übereinstimmt.

[0022] Alternativ kann die Bereitstellungseinheit als Fehlerinformation auch die bestimmte Anzahl bereitstellen.

[0023] Die erfindungsgemäße Speicherschaltung ermöglicht es, z. B. einer Speicher-Steuereinheit mithilfe der bereitgestellten Fehlerinformation mitzuteilen, ob die Phasenbeziehung zwischen dem Taktsignal und dem Strobe-Signal geeignet ist, zuverlässig die Schreibdaten in die Speicherschaltung zu übernehmen oder nicht. Diese Information kann beispielsweise in einem Kalibriermodus dazu verwendet werden, entweder den Phasenversatz zwischen Taktsignal und Strobe-Signal beizubehalten oder, wenn Schreibdaten nicht zuverlässig in die Speicherschaltung übernommen werden können, den Phasenversatz zu ändern. In einem Kalibriermodus kann die erfindungsgemäße Speicherschaltung daher verwendet werden, den Phasenversatz zwischen Taktsignal und Strobe-Signal so anzupassen, dass Schreibdaten zuverlässig in die Speicherschaltung übernommen werden können. Dazu ist es nicht notwendig, den Phasenversatz zwischen Taktsignal und Strobe-Signal in der Speicherschaltung zu quantifizieren und den entsprechenden Wert für den Phasenversatz nach extern zu kommunizieren. Dies ist insbesondere vorteilhaft, da ein im Stand der Technik verwendeter Phasenkomparator aufwändig zu realisieren ist und eine sehr große Ungenauigkeit aufweist, was insbesondere bei hohen Betriebsfrequenzen zu Problemen bei der Anpassung des Phasenversatzes führt.

[0024] Vorzugsweise kann ein Zwischenspeicher vorgesehen sein, um die Fehlerinformation zum Ausgeben zwischen zu speichern.

[0025] Gemäß einer weiteren Ausführungsform der Erfindung kann der Flanken-zähler ein Übernahmesignal generieren, um die empfangenen Schreibdaten auf einen internen Datenbus zu übernehmen. Vorzugsweise ist dieser Zwischenspeicher als ein RS-Flip-Flop ausgebildet, wobei das RS-Flip-Flop mit dem Flanken-zähler verbunden ist, um das RS-Flip-Flop zu setzen, wenn das Übernahmesignal den vollständigen Empfang aller zu empfangenden Schreibdaten anzeigt und um das RS-Flip-Flop zu Beginn der Pulsdauer des Schreibakzeptanzsignals zurückzusetzen.

[0026] Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Speicher-Steuereinheit vorgesehen. Die Speicher-Steuereinheit weist eine Befehlsdaten-Sendeeinheit auf, die ein Taktsignal und ein zu dem Taktsignal synchronisiertes Befehlssignal sendet. Weiterhin ist eine Schreibdaten-Sendeeinheit vorgesehen, die ein Strobe-Signal und ein zu dem Strobe-Signal synchronisiertes Schreibdatensignal sendet. Mithilfe einer Fehlerdatenempfangseinheit kann eine Fehlerinformation empfangen

werden, die angibt, ob alle Schreibdaten bei dem letzten Schreibzugriff übernommen worden sind oder nicht. Als Fehlerinformation wird eine Anzahl von empfangenen Flanken des Strobe-Signals empfangen. Mithilfe einer Phasenschaltung wird ein Phasenversatz zwischen dem Taktsignal und dem Strobe-Signal abhängig von der empfangenen Fehlerinformation eingestellt.

[0027] Die Speicher-Steuereinheit ermöglicht es lediglich anhand einer Fehlerinformation, die angibt, ob alle Schreibdaten bei dem letzten Schreibzugriff übernommen worden sind oder nicht, den Phasenversatz zwischen dem Taktsignal und dem Strobe-Signal entsprechend einzustellen.

[0028] Vorzugsweise weist die Speicher-Steuereinheit eine Steuereinrichtung auf, um einen Kalibriermodus in einer anschließbaren Speicherschaltung einzustellen. Vorzugsweise ist die Steuereinrichtung so vorgesehen, dass mehrere Schreibvorgänge mit verschiedenen Phasenversätzen mithilfe der Befehlsdaten-Sendeeinheit und der Schreibdaten-Sendeeinheit durchgeführt werden, wobei die Fehlerdaten-Empfangseinheit die entsprechende Fehlerinformation empfängt und wobei die Steuereinrichtung so vorgesehen ist, dass abhängig von den Fehlerinformationen und den entsprechend zugeordneten Phasenversätzen ein Phasenversatz ausgewählt und eingestellt wird, bei dem die zugehörige Fehlerinformation angibt, ob die Schreibdaten in die Speicherschaltung übernommen werden konnten.

[0029] Vorzugsweise empfängt die Fehlerdatenempfangseinheit die resultierenden entsprechenden Fehlerinformationen. Dabei ermittelt die Steuereinrichtung einen oberen Grenzwert und einen unteren Grenzwert der Phasenversätze, zwischen denen der Halbleiterspeicher die Schreibdaten zuverlässig übernehmen kann, wobei die Phasenschaltung den Phasenversatz so einstellt, dass er zwischen dem oberen Grenzwert und dem unteren Grenzwert liegt. Auf diese Weise kann ein iteratives Bestimmungsverfahren für einen Phasenversatzbereich durchgeführt werden, innerhalb dem die Schreibdaten zuverlässig in die Speicherschaltung übernommen werden können. Die Speicher-Steuereinheit ist üblicherweise integriert in einer Herstellungstechnologie, die eine genauere Einstellung des Phasenversatzes zwischen dem Taktsignal und dem Strobe-Signal ermöglicht, als es bei einer üblichen Herstellungstechnologie für Speicherschaltungen möglich wäre. Daher kann in der Speicher-Steuereinheit der Phasenversatzbereich genauer bestimmt werden, innerhalb dem die Speicherschaltung betrieben werden kann, als dies bei den herkömmlichen Verfahren der Fall wäre, bei denen der Phasenversatz zwischen dem in der Speicherschaltung ankommenden Taktsignal und Strobe-Signal in der Speicherschaltung gemessen wird und das Messergebnis an die Speicher-Steuereinheit

übermittelt wird.

[0030] Bevorzugte Ausführungsformen der vorliegenden Erfindung werden nachfolgend anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

[0031] [Fig. 1](#) ein Datenverarbeitungssystem mit einer Speicher-Steuereinheit und einem Speichermodul mit mehreren Speicher-Schaltungen;

[0032] [Fig. 2](#) ein Signal-Zeit-Diagramm, das den Versatz zwischen dem Senden eines Befehlsignals und des Sendens der Schreibdaten verdeutlicht;

[0033] [Fig. 3](#) ein Speichersystem mit einer Speicher-Steuereinheit und zwei Speicherschaltungen gemäß dem Stand der Technik;

[0034] [Fig. 4](#) ein Speichersystem mit einer Speicher-Steuereinheit und zwei Speicherschaltungen gemäß einer Ausführungsform der Erfindung;

[0035] [Fig. 5](#) ein Blockschaltbild eines Ausschnittes aus einer Speicherschaltung gemäß der vorliegenden Erfindung;

[0036] [Fig. 6](#) ein Signal-Zeitdiagramm bei einer optimalen Phasenbeziehung zwischen dem Taktsignal und dem Strobe-Signal;

[0037] [Fig. 7](#) zeigt ein Signal-Zeitdiagramm, wenn die Strobe-Signal gegenüber der korrekten Phasenbeziehung zu den Taktsignalen vorseilend ist, und

[0038] [Fig. 8](#) zeigt ein Signal-Zeitdiagramm, wobei das Strobe-Signal gegenüber der korrekten Phasenbeziehung zu dem Taktsignal nacheilend ist.

[0039] In [Fig. 1](#) ist ein Datenverarbeitungssystem mit einer Datenverarbeitungseinheit **1** gezeigt, die Daten aus einem Speichermodul **2** verarbeitet. Die Datenverarbeitungseinheit **1** steht mit dem Speichermodul **2** in geeigneter Weise über eine Speicher-Steuereinheit **3** in Verbindung, die die Ansteuerung des Speichermoduls **2** übernimmt. Das Speichermodul **2** weist einzelne Speicherschaltungen **4** auf, die von der Speicher-Steuereinheit **3** ansteuerbar sind.

[0040] Die Speicherschaltungen **4** sind jeweils über entsprechende Anzahl von Datensignalleitungen **5** mit entsprechenden Anschlüssen der Speicher-Steuereinheit **3** verbunden, wobei die entsprechende Anzahl durch die Parallelität der Datensignale für jede Speicherschaltung **4** vorgegeben ist. Über die Datensignalleitungen **5** werden die Datensignale von und zu den Speicherschaltungen **4** übertragen. Ebenfalls umfassen die Datensignalleitungen **5** eine Strobe-Signalleitung, über die ein Strobe-Signal von der Speicher-Steuereinheit **3** zu den Speicherschaltungen **4**

übertragen wird, wobei das Strobe-Signal zu den Schreibdaten, die in die Speicherschaltungen **4** geschrieben werden sollen, synchronisiert ist. Das Strobe-Signal kann alternativ auch differentiell über zwei Strobe-Signalleitungen übertragen werden.

[0041] Weiterhin stellt die Speicher-Steuereinheit **3** Befehls- und Adressdaten auf einer Anzahl von Befehls- und Adressleitungen **6** zur Verfügung, die die zu adressierende Speicheradresse in den Speicherschaltungen **4** und einen Speicherbefehl an die Speicherschaltungen übertragen können. Die Befehls- und Adressleitungen **6** sind mit allen entsprechenden Befehls- und Adresseingängen (nicht gezeigt) der Speicherschaltungen **4** verbunden und werden in Form eines sogenannten Fly-By-Bus an den Befehls- und Adresseingängen vorbeigeführt und nach der Kontaktierung der Befehls- und Adresseingänge der letzten Speicherschaltung entsprechend elektrisch terminiert. Die Befehls- und Adresssignale, die auf den Befehls- und Adressleitungen angelegt sind, propagieren also durch die Befehls- und Adressleitungen **6** und gelangen so nacheinander an die entsprechenden Befehls- und Adresseingänge der Speicherschaltungen **4**. Ebenfalls umfassen die Befehls- und Adressleitungen eine oder mehrere Taktsignalleitungen, über die ein Taktsignal übertragen wird, zu dem die Befehls- und Adresssignale synchronisiert sind. Das Taktsignal kann sowohl auf einer Taktsignalleitung oder differentiell über mehrere Taktsignalleitungen übertragen werden.

[0042] Aufgrund der unterschiedlichen Leitungslängen zwischen Befehls- und Adressleitungen **6** und den Datensignalleitungen **5** sowie aufgrund der unterschiedlichen elektrischen Lasten aufgrund der jeweiligen Zahl der angeschlossenen Eingänge der Speicherschaltungen kommt es zu unterschiedlichen Signallaufzeiten auf den Datensignalleitungen **5** und auf den Befehls- und Adressleitungen **6**. Dies führt dazu, dass an den Speicherbausteinen **4** die Befehls- und Adressdaten und das Taktsignal sowie die Schreibdatensignale und das Strobe-Signal bei gleichzeitigem Anlegen dieser Signale durch die Speicher-Steuereinheit **3** phasenversetzt anliegen würden.

[0043] Dies wird beispielsweise durch die [Fig. 2](#) veranschaulicht. Dort ist die Signallaufzeit eines Befehls- und Adresssignals, das von der Speicher-Steuereinheit gesendet wird, dargestellt und ihre jeweiligen Empfangszeiten t_{CA1} , t_{CA2} , t_{CA3} an den entsprechenden Speicherschaltungen **4** verdeutlicht. Beim Schreiben in die Speicherschaltungen muss der Beginn der Übertragung der Schreibdaten in einem vorgegebenen Zeitfenster erfolgen, so dass die Schreibdaten innerhalb eines bestimmten Zeitfensters nach einer Schreiblatenzzeit WL (in vorliegendem Beispiel nach 6 Taktperioden) an dem betreffenden Speicherbaustein anliegen. Daher müssen die Speicherdaten

von der Speicher-Steuereinheit **3** mit einer entsprechenden Verzögerung gesendet werden, so dass die Schreibdaten nach der entsprechenden Signallaufzeit auf den Datensignalleitungen **5** zu Beginn des bestimmten Zeitfensters an der Speicherschaltung **4** anliegen und während der Zeitdauer des Zeitfensters vollständig in den entsprechenden Speicherbaustein übernommen werden. Der Beginn des Anlegens der Schreibdaten an den einzelnen Speicherschaltungen **4** durch die Speicher-Steuereinheit **3** wird entsprechend durch die Zeitpunkte t_{DQ1} , t_{DQ2} und t_{DQ3} bezeichnet. Dabei sind neben den Laufzeiten der Befehls- und Adresssignale zu den einzelnen Speicherschaltungen auch die Laufzeiten der Datensignale auf den Datensignalleitungen zu berücksichtigen, die für jede der Speicherschaltungen unterschiedlich sein können.

[0044] In einem herkömmlichen Speichersystem, wie es in [Fig. 3](#) dargestellt ist, kann die Speicher-Steuereinheit **3** jedes der Speicherschaltungen zugeordneten Verzögerungselemente **10** aufweisen, die die Datensignale sowie das dazugehörige Strobe-Signal um einen vorbestimmten Phasenversatz verzögern, um es zu den Befehls- und Adresssignalen sowie dem Taktsignal in eine vorbestimmte Phasenbeziehung zu bringen. Dadurch wird erreicht, dass die Befehls- und Adresssignale und das Taktsignal sowie das Strobe-Signal und die Datensignale in einem gewünschten zeitlichen Bezug an den jeweiligen Speicherschaltungen **4** anliegen. Dazu weist jede Speicherschaltung **4** einen Phasenkomparator **11** auf, der das Taktsignal CLK und das Strobe-Signal DQS , die an ihren entsprechenden Eingängen anliegen, miteinander vergleicht und den Phasenversatz bestimmt. Dieser Phasenversatz wird quantifiziert und über die entsprechenden Datensignalleitungen an die Speicher-Steuereinheit **3** zurückübermittelt, die das entsprechende Strobe-Signal DQS entsprechend verzögert oder beschleunigt, so dass es an der betreffenden Speicherschaltung **4** in korrekter Phasenbeziehung anliegt. Dies wird in jeder der Speicherschaltungen **4** durchgeführt, so dass das der jeweiligen Speicherschaltung **4** zugeordneten Verzögerungselement **10** die entsprechenden Verzögerung bzw. Beschleunigung des Strobe-Signals DQS einstellen kann.

[0045] Ein solches Speichersystem hat den Nachteil, dass Phasenkomparatoren in einer für DRAM-Speicherbauelemente verwendeten Herstellungstechnologie nur sehr ungenau und mit erheblichem Aufwand implementiert werden können, so dass zum einen der Flächenbedarf in der Speicherschaltung erhöht ist und zum anderen nur eine sehr ungenaue Phasenanpassung zwischen dem Strobe-Signal DQS und Taktsignal CLK möglich ist.

[0046] In [Fig. 4](#) ist ein Speichersystem gemäß einer bevorzugten Ausführungsform der vorliegenden Er-

findung als Blockschaltbild dargestellt. Das Speichersystem umfasst eine Speicher-Steuereinheit **20**, die mit einer ersten Speicherschaltung **21** und einer zweiten Speicherschaltung **22** eines Speichermoduls verbunden ist. Wie bereits in Verbindung mit dem Stand der Technik beschrieben, gibt die Speicher-Steuereinheit **20** auf einer entsprechenden Anzahl von Befehls- und Adresssignalleitungen **23** Befehls- und Adresssignale aus, die über die Befehls- und Adresssignalleitungen **23** an die erste Speicherschaltung **21** und anschließend über dieselben Befehls- und Adresssignalleitungen **23** an die zweite Speicherschaltung **22** angelegt werden.

[0047] Die Speicher-Steuereinheit **20** gibt ebenfalls ein Taktsignal CLK aus, das über eine Taktsignalleitung **24** an die erste Speicherschaltung **21** und anschließend über dieselbe Taktsignalleitung **24** an die zweite Speicherschaltung **22** angelegt wird.

[0048] Die erste und die zweite Speicherschaltung **21**, **22** sind jeweils über separate Strobe-Signalleitungen **25**, **26** und separate Datensignalleitungen **27**, **28** mit der Speichersteuereinheit **20** verbunden. Die Speicher-Steuereinheit weist Verzögerungselemente **29** auf, um die Datensignale und das Strobe-Signal DQS zu erzeugen. Das Strobe-Signal DQS wird aus dem Taktsignal CLK, das in der Speicher-Steuereinheit zur Verfügung gestellt wird, generiert.

[0049] Zum Treiben der Befehls- und Adresssignale CA sowie des Taktsignals CLK ist eine Befehlsdaten-Sendeeinheit **30** in der Speicher-Steuereinheit **20** vorgesehen, wobei das Taktsignal CLK und die Adress- und Befehlssignale CA zueinander synchronisiert sind und auf die entsprechenden Signalleitungen **23**, **24** getrieben werden. Es sind weiterhin eine erste Schreibdaten-Sendeeinheit **31** und zweite Schreibdatensendeeinheit **32** vorgesehen, die jeweils an die erste und zweite Speicherschaltung **21**, **22** das Strobe-Signal und die Schreibdatensignale sendet, die zueinander synchronisiert sind.

[0050] Es ist weiterhin eine erste Fehlerdaten-Empfangseinheit **33** und eine zweite Fehlerdaten-Empfangseinheit **34** vorgesehen, um eine Fehlerinformation aus der ersten bzw. zweiten Speicherschaltung **21**, **22** zu empfangen. Die Fehlerinformation von den jeweiligen Speicherschaltungen **21**, **22** geben an, ob die Schreibdaten beim letzten Schreibzugriff (Burst Zugriff) vollständig empfangen werden konnten oder nicht.

[0051] Bei einer anderen Ausführungsform kann die Fehlerinformation auch die Angabe der empfangenen Schreibdaten enthalten, wobei in der Speicher-Steuereinheit **20** festgestellt wird, ob die Anzahl der Soll-Anzahl entspricht und daraus die Angabe abgeleitet wird, ob die Schreibdaten vollständig empfangen wurden oder nicht.

[0052] Die Fehlerdaten-Empfangseinheiten **33**, **34** sind mit der jeweiligen Verzögerungsschaltung **29** verbunden, um den Phasenversatz zwischen dem Taktsignal CLK und dem Strobe-Signal DQS der jeweiligen Speicherschaltung **21**, **22** abhängig von der erhaltenen Fehlerinformation anzupassen.

[0053] Die in der jeweiligen Speicherschaltung **21**, **22** implementierten Funktionen werden anhand der ersten Speicherschaltung **21** erläutert. Die Speicherschaltung **21** weist eine Befehlsdaten-Empfangseinheit **35** auf, um die Befehls- und Adresssignale CA über die CLK die Taktsignalleitung **24** zu empfangen. Weiterhin weist die Speicherschaltung **21** eine Schreibdaten-Empfangseinheit **36** auf, um Schreibdatensignale über die Datensignalleitungen **27** sowie das Strobe-Signal DQS über die Strobe-Signalleitung **25** zu empfangen.

[0054] Sowohl die Befehlsdaten-Empfangseinheit **35** als auch die Schreibdaten-Empfangseinheit **36** sind mit einer Testeinheit **37** verbunden, die eine Fehlerinformation generiert, die angibt, ob die über die Datensignalleitungen **27** gesendeten Schreibdaten zuverlässig übernommen werden konnten. Dies ist insbesondere problematisch, da unterschiedliche Laufzeiten des Taktsignals CLK auf der Taktsignalleitung und des Strobe-Signals DQS auf der Strobe-Signalleitung **25** vorliegen, so dass zunächst nicht sichergestellt ist, dass die Befehls- und Adresssignale CA und die Datensignale in einem vorbestimmten zeitlichen Bezug zueinander liegen.

[0055] Letztendlich wird in der Testeinheit **37** überprüft, ob innerhalb eines Zeitfensters, was durch ein Schreibakzeptanzsignal definiert ist, eine bestimmte Anzahl von definierten Taktflanken einer bestimmten Flankenrichtung des Strobe-Signals DQS in der Schreibdaten-Empfangseinheit **36** eintreffen. Damit durch die definierten Flanken die entsprechenden Schreibdaten in die jeweilige Speicherschaltung **21**, **22** übernommen werden und da das Strobe-Signal synchron zu den gesendeten Schreibdaten ist, kann beim Empfangen der Soll-Anzahl der definierten Flanken des Strobe-Signals darauf geschlossen werden, dass alle gesendeten Daten zuverlässig in die Speicherschaltung übernommen wurden.

[0056] Die Fehlerinformation gibt im gezeigten Ausführungsbeispiel somit an, ob das Schreiben von Daten in die entsprechende Speicherschaltung **21**, **22** erfolgreich war oder nicht. Die Fehlerinformation wird über eine der Datensignalleitungen **27**, **28** an die entsprechende Fehlerdaten-Empfangseinheit **33**, **34** der Speicher-Steuereinheit **20** zurückgesendet und dort dazu benutzt, die Verzögerungseinheit **29** einzustellen.

[0057] Die Anpassung der Verzögerungseinheit **29** kann in einem Kalibriermodus erfolgen, der der Spei-

cherschaltung von der Speicher-Steuereinheit **20** in geeigneter Weise mitgeteilt wird. In den Kalibriermodus werden nacheinander durch eine in der Speicher-Steuereinheit vorgesehene Teststeuereinheit **38** verschiedenen Verzögerungen in der Verzögerungseinheit **29** eingestellt, um verschiedene Phasenversätze zwischen Taktsignal CLK und Strobe-Signal DQS zu erreichen. Für jeden eingestellten Zeitversatz wird in einem nachfolgenden Schreibvorgang festgestellt, ob die Schreibdaten ordnungsgemäß in die Speicherschaltung geschrieben werden konnten, oder nicht. Die entsprechende Fehlerinformation wird vorzugsweise in einer Teststeuereinheit **38** gemeinsam mit der eingestellten Verzögerung zwischen Taktsignal und Strobe-Signal gespeichert. Aus den so ermittelten Daten lässt sich ein Phasenversatzfenster ermitteln, das eine obere Grenze und eine untere Grenze des Phasenversatzes (der eingestellten Verzögerungen) bestimmt, zwischen denen sich Daten in die Speicherschaltung korrekt schreiben lassen und außerhalb denen keine Daten zuverlässig in die Speicherschaltung geschrieben werden können. Diese iterative Methode des Bestimmens der optimalen Verzögerung in dem Verzögerungselement **29** hat den Vorteil, dass die Verzögerung in dem Verzögerungselement **29** sich nicht an den spezifikationsgemäßen Parametern der Speicherschaltung orientieren muss, sondern auf die tatsächlichen Parameter der verwendeten Speicherschaltung abstellt. Es muss somit auch seitens der Speicher-Steuereinheit **20** nicht gewährleistet werden, dass sie die angeschlossene Speicherschaltung **21** diesbezüglich spezifikationsgemäß betreibt.

[0058] In [Fig. 5](#) ist ein Blockschaltbild als Ausschnitt aus der Speicherschaltung dargestellt, die die Schreibdatenempfangseinheit und die Testeinheit sowie den Zwischenspeicher **39** zum Speichern der Fehlerinformation umfasst.

[0059] Die Schreibdatenempfangseinheit **36** umfasst ein Schieberegister **40** für jede Datensignalleitung, wobei das Schieberegister sowohl bei einer steigenden als auch bei einer fallenden Flanke das jeweils an der Datensignalleitung anliegende Datensignal übernimmt und speichert. Nach einer bestimmten Anzahl von steigenden und fallenden Flanken des Strobe-Signals DQS, z. B. acht, ist das Schieberegister **40** gefüllt, und es liegen an den entsprechenden acht internen Datenleitungen die übernommenen Daten an einen achtfachen D-Flip-Flop **41** an. Zum Empfangen der Datensignale über die Datensignalleitung **27** weist die Speicherschaltung einen Datensignaleingangstreiber **42** auf. Zum Übernehmen des Strobe-Signals, das in diesem Ausführungsbeispiel differenziell übertragen wird, ist ein Differenzeingangsverstärker **43** vorgesehen. Der Differenzeingangsverstärker **43** gibt an einem Ausgang das Strobe-Signal DQS aus, das an das Schieberegister **40** angelegt wird.

[0060] Das Strobe-Signal DQS wird weiterhin an die Testeinheit **37** angelegt. Die Testeinheit **37** weist einen weiteren Eingang für ein Schreibakzeptanzsignal SAS auf, das von der Befehlsdatenempfangseinheit zur Verfügung gestellt wird. Das Schreibakzeptanzsignal SAS wird in der Schreibdaten-Empfangseinheit nach dem Empfangen eines Schreibbefehls, d. h. eines Befehls, der das Schreiben von Daten in die Speicherschaltung vorgibt, nach Ablauf einer festgelegten Schreiblatenzzeit WL als ein Puls mit einer bestimmten Pulsdauer generiert, während der die Schreibdaten des erwarteten Daten-Bursts an den Eingängen der Speicherschaltung vollständig angelegt haben müssen. Im vorliegenden Beispiel beträgt die Länge der Pulsdauer etwa vier Perioden des Takt- bzw. Strobe-Signals CLK, DQS, innerhalb der vier fallende Flanken des Strobe-Signals eintreffen müssen. Die Testeinheit **37** ist nun so gestaltet, dass sie während der Pulsdauer des Schreibakzeptanzsignals die Anzahl der Flanken des Strobe-Signals mit einer bestimmten Flankenrichtung zählt und mit einer vorgegebenen Soll-Anzahl vergleicht. Die Soll-Anzahl wird entweder durch ein entsprechendes Register (nicht gezeigt) oder fest vorgegeben eingestellt.

[0061] Wird die Soll-Anzahl der entsprechenden Flanken des Strobe-Signals erreicht, wird ein Latch-Signal LATCH generiert, das zum einen an einen Übernahmeeingang des achtfachen D-Flip-Flops **41** angelegt wird und zum anderen an einen Setzeingang eines SR-Flip-Flops **44** angelegt wird. Das SR-Flip-Flop **44** stellt einen Zwischenspeicher dar, der die Fehlerinformation bezüglich des fehlerfreien oder fehlerbehafteten Ablaufs des Schreibvorgangs speichert. Wird das SR-Flip-Flop **44** am Ende der Pulsdauer des Schreibakzeptanzsignals SAS gesetzt, ist der Schreibvorgang erfolgreich abgeschlossen worden. Wird das SR-Flip-Flop **44** nicht gesetzt, so ist der Schreibvorgang nicht erfolgreich verlaufen, da der Phasenversatz des Strobe-Signals DQS und des aus dem Taktsignal CLK gebildeten Schreibakzeptanzsignals SAS es nicht ermöglicht hat, die notwendige Anzahl von Flanken mit der definierten Flankenrichtung zu empfangen. Vor jedem Schreibvorgang, d. h. bevor jeweils ein Datenburst von der Speicher-Steuereinheit empfangen wird, wird das SR-Flip-Flop **44** zurückgesetzt, indem ein entsprechender Rücksetzimpuls an einem Rücksetzeingang des SR-Flip-Flops **44** angelegt wird. Der Rücksetzimpuls wird zum einen durch die Anfangsflanke des Pulses des Schreibakzeptanzsignals SAS als auch zu Beginn eines Kalibrierungsbetriebsmodus generiert, der durch ein Kalibrierungssignal CAL angezeigt wird. Sowohl das Schreibakzeptanzsignal SAS als auch das Kalibrierungssignal CAL werden jeweils einem Pulsgenerator **46**, **47** zugeführt, die jeweils z. B. bei einer steigenden Flanke des entsprechenden Signals einen High-Puls generieren, die jeweils einem Oder-Gatter **45** zugeführt werden, das die beiden Pulssignale miteinander verodert und an den Rück-

setzeingang des SR-Flip-Flops **44** anlegt. Somit wird das SR-Flip-Flop **44** sowohl mit der Anfangsflanke des Schreibakzeptanzsignals als auch beim Beginn des Kalibrierungsbetriebsmodus zurückgesetzt. Mithilfe des Kalibrierungssignals CAL wird das SR-Flip-Flop **44** an einen oder mehrere Datenausgänge **48** der Speicherschaltung über eine oder mehrere Datensignalleitungen oder eine oder mehrere separate Leitungen angelegt, so dass die Fehlerinformation, die in dem SR-Flip-Flop **44** gespeichert wird, synchron oder asynchron nach extern auslesbar ist.

[0062] In der [Fig. 6](#) ist ein Signal-Zeitdiagramm dargestellt, das den Verlauf der Eingangssignale und der internen Signale der Speicherschaltung darstellt. Es sind dargestellt das interne Taktsignal, das als die differenziellen Signale CK und /CK übertragen wird und intern zu dem Taktsignal CLK weiter verarbeitet wird. Synchron zu dem Taktsignal CLK werden die Befehls- und Adresssignale CMD gesendet. Weiterhin sind das Strobe-Signal DQS, das Schreibakzeptanzsignal SAS und das Latchsignal LATCH und das Kalibrierungssignal CAL sowie die Eingangssignale FF_S, FF_R und das Ausgangssignal FF_Q des SR-Flip-Flops **44** dargestellt. Man erkennt, dass nach dem Eintreffen eines Schreibbefehls WR (Signal CMD) und dessen Übernahme in die Befehlsdateneingangseinheit mit einer steigenden Taktflanke des Taktsignals CLK (CK) für die Dauer einer Schreiblatenzzeit WL gewartet wird, die im vorliegenden Beispiel sechs Perioden des Taktsignals beträgt, bevor ein Puls des Schreibakzeptanzsignals SAS generiert wird, der vier Taktperioden andauert. Dieser Puls stellt das Zeitfenster dar, in dem Schreibdaten an den Eingängen der Speicherschaltung empfangen werden können. Innerhalb der Pulsdauer des Schreibakzeptanzsignals SAS müssen nun, wie in dem Signal-Zeitdiagramm der [Fig. 6](#) gezeigt, vier fallende Flanken des Strobe-Signals an der Speicherschaltung eintreffen, um die synchron dazu übertragenen Schreibdaten in die Speicherschaltung zu übernehmen. Die fallende Flanke des Strobe-Signals DQS muss bezüglich der nachfolgenden steigenden Flanke des Taktsignals CLK eine Mindestzeitdauer tDSS als Setup-Zeit und zur vorangehenden steigenden Flanke des Taktsignals eine Zeitdauer tDSH als Hold-Zeit einhalten, so dass die Schreibdaten zuverlässig übernommen werden können.

[0063] Während der Pulsdauer des Schreibakzeptanzsignals werden nun die fallenden Flanken des Strobe-Signals gezählt und mit einer Soll-Anzahl, in diesem Fall vier verglichen. Wird die Soll-Anzahl erreicht, wird ein Latchsignalimpuls generiert, mit dessen Hilfe zum einen die an dem Ausgang des Schieberegisters **40** anliegenden Daten in das achtfache D-Flip-Flop **41** übernommen werden und zum anderen das SR-Flip-Flop **44** gesetzt wird, um eine Fehlerinformation zu speichern, die angibt, dass die Daten

ordnungsgemäß übernommen werden konnten. Beim nachfolgenden Schreibbefehl wird mithilfe der Anfangsflanke des Schreibakzeptanzsignals SAS ein weiteres Pulssignal generiert, das an den Rücksetzeingang des SR-Flip-Flops **44** angelegt wird, um dieses zurückzusetzen. Ebenso ist aus dem Signal-Zeit-Diagramm der [Fig. 6](#) zu entnehmen, dass mit der Anfangsflanke des Kalibrierungssignals cal ein Rücksetzsignal FF_R generiert wird, das an den R-Eingang des SR-Flip-Flops **44** angelegt wird, um dieses zurückzusetzen.

[0064] In [Fig. 7](#) ist ein Fall gezeigt, bei dem das Strobe-Signal DQS bezüglich des Taktsignals CLK voreilt, so dass die Spezifikation gemäß der Holdzeit tDSH verletzt wird. Die fallende Flanke des Strobe-Signals DQS liegt außerhalb des durch das Schreibakzeptanzsignal SAS definierten Pulsbereiches, so dass nur noch drei fallende Flanken in der Testeinheit gezählt werden und das SR-Flip-Flop **44** nicht gesetzt wird. Die somit darin gespeicherte „0“ zeigt nun, dass ein Fehler beim Empfangen der Daten aufgetreten ist und dass der Phasenbezug zwischen dem Taktsignal CLK und dem Strobe-Signal DQS angepasst werden muss.

[0065] In [Fig. 8](#) ist der umgekehrte Fall dargestellt, nämlich dass das Strobe-Signal bezüglich des Taktsignals so stark nacheilt, dass die Spezifikation bezüglich der Setupzeit tDSS verletzt wird, so dass im gezeigten Beispiel die letzte relevante fallende Flanke des Strobe-Signals außerhalb, d. h. nach dem Ende der Pulsdauer des Schreibakzeptanzsignals anliegt. Auch in diesem Fall werden lediglich drei fallende Flanken des Strobe-Signals gezählt und das SR-Flip-Flop **44** nicht gesetzt. Auch in diesem Fall wird somit ein Fehler erkannt.

[0066] Bei der Einstellung der Verzögerung zwischen dem Taktsignal CLK und dem Strobe-Signal DQS in der Speicher-Steuereinheit **20** kann beispielsweise so vorgegangen werden, dass zunächst die Verzögerung so eingestellt wird, dass das Strobe-Signal DQS stark voreilend bezüglich des Taktsignals ist, so dass auf jeden Fall die Schreibdaten nicht zuverlässig in die Speicherschaltungen **21**, **22** übernommen werden können. Ein darauffolgender Schreibvorgang wird durchgeführt und das entsprechende Fehlerdatum ausgelesen. Nun wird der Phasenversatz zwischen dem Taktsignal und dem Strobe-Signal sukzessive erhöht bis eine Fehlerinformation erhalten wird, die angibt, dass die Daten zuverlässig in die Speicherschaltung übernommen werden können. Anschließend wird der Phasenversatz weiter erhöht, bis erneut anhand der Fehlerinformation festgestellt wird, dass die Schreibdaten nicht mehr zuverlässig übernommen werden können. Daraus lässt sich eine untere und obere Grenze des Phasenversatzes zwischen dem Taktsignal und dem Strobe-Signal ermitteln, zwischen denen der Phasenversatz

für die betreffende Speicherschaltung in der Speicher-Steuereinheit eingestellt werden muss. Vorzugsweise wird der Phasenversatz so eingestellt, dass er etwa mittig zwischen der oberen und unteren Grenze der Phasenversätze liegt. Das oben beschriebene Verfahren kann auch in umgekehrter Weise durchgeführt werden, nämlich bei einem Fall, wenn das Strobe-Signal DQS stark nachteilig bezüglich des Taktsignals ist und der Phasenversatz sukzessive verkleinert wird, um die obere und untere Grenze der Phasenversätze festzustellen, zwischen denen die Schreibdaten zuverlässig in die Speicherschaltung übernommen werden können.

[0067] Das Auslesen des SR-Flip-Flops **44** kann durch Setzen eines speziellen Betriebsmodus-Bits (von dem das Kalibrierungssignal CAL abhängt) durchgeführt werden, um einen normalen Auslesebefehl auf das RS-Flip-Flop **44** umzuleiten. Zudem ist es vorteilhaft, dass während des Kalibrationsbetriebsmodus die Funktionalität des Schreibbefehls so geändert wird, dass während des Schreibvorgangs im Kalibrationsbetriebsmodus keinen Daten in ein Speicherzellenfeld der Speicherschaltung transferiert werden.

[0068] Insbesondere kann der Kalibrationsmodus während des Betriebs der Speicherschaltung durchgeführt werden, so dass Temperatur und sonstige Schwankungen der Funktionen der Speicherschaltung ausgeglichen werden können. Dies kann insbesondere dann durchgeführt werden, wenn die Speicherschaltung nicht adressiert werden muss, weil keine Daten aus der Speicherschaltung abgerufen werden bzw. keine Daten in die Speicherschaltung geschrieben werden sollen.

Bezugszeichenliste

1	Datenverarbeitungseinheit
2	Speichermodul
3	Speicher-Steuereinheit
4	Speicherschaltung
5	Datensignalleitungen
6	Befehls- und Adressleitungen
10	Verzögerungselement
11	Phasenkomparator
20	Speicher-Steuereinheit
21, 22	Speicherschaltungen
23	Befehls- und Adressleitungen
24	Taktsignalleitung
25	Strobe-Signalleitung
26	Strobe-Signalleitung
27, 28	Datensignalleitungen
29	Verzögerungselemente
30	Befehlsdatensendeeinheit
31, 32	erste und zweite Schreibdatensendeeinheit
33, 34	erste und zweite Fehlerdatenempfangseinheit

35	Befehlsdatenempfangseinheit
36	Schreibdatenempfangseinheit
37	Testeinheit
38	Teststeuereinheit
39	Zwischenspeicher
40	Schieberegister
41	Achtfaches D-Flip-Flop
42	Datensignaleingangstreiber
43	Differenzeingangsverstärker
44	SR-Flip-Flop
45	Oder-Gatter
46, 47	Pulsgeneratoren
48	Datenausgang
49	Multiplexer
CLK	Taktsignal
DQS	Strobe-Signal
CA	Befehls- und Adresssignale
DQ	Datensignale
tDSH	Hold-Zeit
tDSS	Set-up-Zeit
SAS	Schreibakzeptanzsignal
LATCH	Latch-Signal
CAL	Kalibrierungssignal

Patentansprüche

1. Verfahren zur Anpassung der Phasenbeziehung zwischen einem von einer Speicher-Steuereinheit (**20**) bereitgestellten Taktsignal (CLK) und einem von der Speicher-Steuereinheit (**20**) bereitgestellten Strobe-Signal (DQS) zur Übernahme von zu übertragenden Schreibdaten in eine Speicherschaltung (**21, 22**), wobei ein Schreibbefehlssignal synchronisiert zu dem Taktsignal an die Speicherschaltung übertragen wird; wobei ein Schreibdatensignal synchron zu dem Strobe-Signal übertragen wird; wobei ein Phasenversatz zwischen dem gesendeten Taktsignal (CLK) und dem gesendeten Strobe-Signal (DQS) so eingestellt wird, dass die Schreibdaten in der Speicherschaltung (**21, 22**) zuverlässig übernommen werden; wobei in der Speicherschaltung (**21, 22**) folgende Schritte ausgeführt werden:

- Generieren eines Schreibakzeptanzsignals (SAS) abhängig von dem Taktsignal (CLK) und dem Schreibbefehlssignal (WR) mit einer bestimmten SAS-Pulsdauer;
- Bestimmen der Anzahl von Flanken des Strobe-Signals (DQS) mit einer definierten Flankenrichtung während der SAS-Pulsdauer;
- Bereitstellen einer Fehlerinformation abhängig von der bestimmten Anzahl.

2. Verfahren nach Anspruch 1, wobei die bestimmte Anzahl mit einer vorbestimmten Soll-Anzahl von entsprechenden Flanken des Strobe-Signals (DQS) verglichen wird, und als Fehlerinformation eine Information bereitgestellt wird, die angibt, ob die

bestimmte Anzahl mit der Soll-Anzahl übereinstimmt.

3. Verfahren nach Anspruch 1, wobei als Fehlerinformation die bestimmte Anzahl bereitgestellt wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, wobei die Fehlerinformation in der Speicherschaltung (**21, 22**) zwischengespeichert wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, wobei die Fehlerinformation an die Speicher-Steuereinheit (**20**) übertragen wird.

6. Verfahren nach Anspruch 5, wobei die Speicher-Steuereinheit abhängig von der Fehlerinformation den Phasenversatz einstellt.

7. Verfahren nach Anspruch 6, wobei die Speicher-Steuereinheit (**20**) einen Kalibrierbetriebsmodus in der Speicherschaltung (**21, 22**) einstellt, wobei in dem Kalibrierbetriebsmodus der einzustellende Phasenversatz iterativ durch mehrfaches Schreiben von Testdaten ermittelt wird.

8. Verfahren nach Anspruch 7, wobei in dem Kalibrierbetriebsmodus der Phasenversatz zwischen dem Taktsignal (CLK) und dem Strobe-Signal (DQS) in einem Phasenversatzbereich variiert wird und die entsprechenden resultierenden Fehlerinformationen empfangen werden, so dass aus den resultierenden entsprechenden Fehlerinformationen ein oberer Grenzwert und ein unterer Grenzwert der Phasenversätze ermittelbar ist, zwischen denen die Speicherschaltung (**21, 22**) die Schreibdaten zuverlässig übernehmen kann, wobei der Phasenversatz so eingestellt wird, dass er zwischen dem oberen Grenzwert und dem unteren Grenzwert liegt.

9. Verfahren nach einem der Ansprüche 1 bis 8, wobei die Fehlerinformation aus einem Übernahmesignal (LATCH) abgeleitet wird, das angibt, dass alle zu empfangenden Schreibdaten empfangen wurden.

10. Verfahren nach Anspruch 9, wobei durch die Fehlerinformation ein Fehler angegeben wird, wenn nach Ablauf der SAS-Pulsdauer kein Übernahmesignal vorliegt.

11. Speicherschaltung zum Generieren einer Fehlerinformation für die Anpassung der Phasenbeziehung zwischen angelegtem Taktsignal (CLK) und einem angelegtem Strobe-Signal (DQS), umfassend:
 – eine Befehlsdatenempfangseinheit (**35**) zum Empfangen eines Befehlssignals (CA) und eines Taktsignals (CLK);
 – eine Schreibdatenempfangseinheit (**36**) zum Empfangen eines Schreibdatensignals und eines Strobe-Signals;
 – eine Testeinheit (**37**)
 – mit einem Flankenzähler, der die Anzahl von Flanken

des Strobe-Signals (DQS) mit einer definierten Flankenrichtung während einer SAS-Pulsdauer eines von dem Taktsignal (CLK) und dem Schreibbefehlssignal abhängigen Schreibakzeptanzsignals (SAS) bestimmt, und

– mit einer Bereitstellungseinheit, um eine Fehlerinformation abhängig von der bestimmten Anzahl bereitzustellen.

12. Speicherschaltung nach Anspruch 11, mit einem Vergleichs- und einer bestimmten Anzahl mit einer vorbestimmten Soll-Anzahl von entsprechenden Flanken des Strobe-Signals (DQS) vergleicht, um die Fehlerinformation zu generieren, die angibt, ob die bestimmte Anzahl mit der Soll-Anzahl übereinstimmt.

13. Speicherschaltung nach Anspruch 11, wobei die Bereitstellungseinheit die bestimmte Anzahl als die Fehlerinformation bereitstellt.

14. Speicherschaltung nach einem der Ansprüche 11 bis 13, mit einer Ausgabereinrichtung (**48**), um die Fehlerinformation auszugeben.

15. Speicherschaltung nach einem der Ansprüche 11 bis 14, mit einem Zwischenspeicher (**44**), um die Fehlerinformation zum Ausgeben zwischenspeichern.

16. Speicherschaltung nach Anspruch 15, wobei der Flankenzähler ein Übernahmesignal (LATCH) generiert, um die empfangenen Schreibdaten auf einen internen Datenbus zu übernehmen.

17. Speicherschaltung nach Anspruch 16, wobei der Zwischenspeicher als ein RS-Flipflop (**44**) ausgebildet ist, wobei das RS-Flipflop (**44**) mit dem Flankenzähler verbunden ist, um das RS-Flipflop (**44**) zu setzen, wenn das Übernahmesignal (LATCH) den Empfang aller zu empfangenden Schreibdaten anzeigt, und um das RS-Flipflop (**44**) zu Beginn der Pulsdauer des Schreibakzeptanzsignals (SAS) zurückzusetzen.

18. Speicher-Steuereinheit (**20**) mit einer Befehlsdatensendeeinheit (**30**), die ein Taktsignal (CLK) und ein zu dem Taktsignal (CLK) synchronisiertes Befehlssignal (CA) sendet, mit einer Schreibdatensendeeinheit (**31, 32**), die ein Strobe-Signal (DQS) und ein zu dem Strobe-Signal (DQS) synchronisiertes Schreibdatensignal sendet, mit einer Fehlerdatenempfangseinheit (**33, 34**), die vorgesehen ist, um eine Fehlerinformation zu empfangen, und mit einer Phasenschaltung (**29**), die so vorgesehen ist, dass ein Phasenversatz zwischen dem Taktsignal (CLK) und dem Strobe-Signal (DQS) abhängig von der empfangenen Fehlerinformation eingestellt wird, wobei die Fehlerdatenempfangseinheit (**33, 34**) gestaltet ist, um als Fehlerinformation eine Anzahl von

empfangenen Flanken des Strobe-Signals zu empfangen, wobei ein Vergleicher vorgesehen ist, um die Anzahl von empfangenen Flanken mit einer Soll-Anzahl zu vergleichen und um abhängig von dem Ergebnis des Vergleichens den Phasenversatz einzustellen.

19. Speicher-Steuereinheit (**20**) nach Anspruch 18, mit einer Steuereinrichtung (**38**), um einen Kalibriermodus in einer anschließbaren Speicherschaltung einzustellen.

20. Speicher-Steuereinheit (**20**) nach einem der Ansprüche 18 und 19, wobei die Steuereinrichtung (**38**) so vorgesehen ist, dass mehrere Schreibvorgänge mit verschiedenen Phasenversätzen mit Hilfe der Befehlsdatensendeeinheit (**30**) und der Schreibdatensendeeinheit (**31, 32**) durchgeführt werden, wobei die Fehlerdatenempfangseinheit (**33, 34**) die entsprechenden Fehlerinformationen empfängt, wobei die Steuereinrichtung (**38**) so vorgesehen ist, dass abhängig von den Fehlerinformationen und den verschiedenen Phasenversätzen ein Phasenversatz eingestellt wird, bei dem die zugehörige Fehlerinformation angibt, dass die Schreibdaten in die Speicherschaltung (**21, 22**) übernommen werden konnten.

21. Speicher-Steuereinheit (**20**) nach Anspruch 20, wobei die Fehlerdatenempfangseinheit (**33, 34**) die resultierenden entsprechenden Fehlerinformationen empfängt und wobei die Steuereinrichtung (**38**) einen oberen Grenzwert und einen unteren Grenzwert der Phasenversätze ermittelt, zwischen denen die Speicherschaltung die Schreibdaten zuverlässig übernehmen kann, wobei die Phasenschaltung (**29**) den Phasenversatz so einstellt, dass er zwischen dem oberen Grenzwert und dem unteren Grenzwert liegt.

22. Speichersystem mit einer Speicherschaltung (**21, 22**) nach einem der Ansprüche 11 bis 17 und einer Speicher-Steuereinheit (**20**) nach einem der Ansprüche 18 bis 21.

Es folgen 8 Blatt Zeichnungen

FIG 1

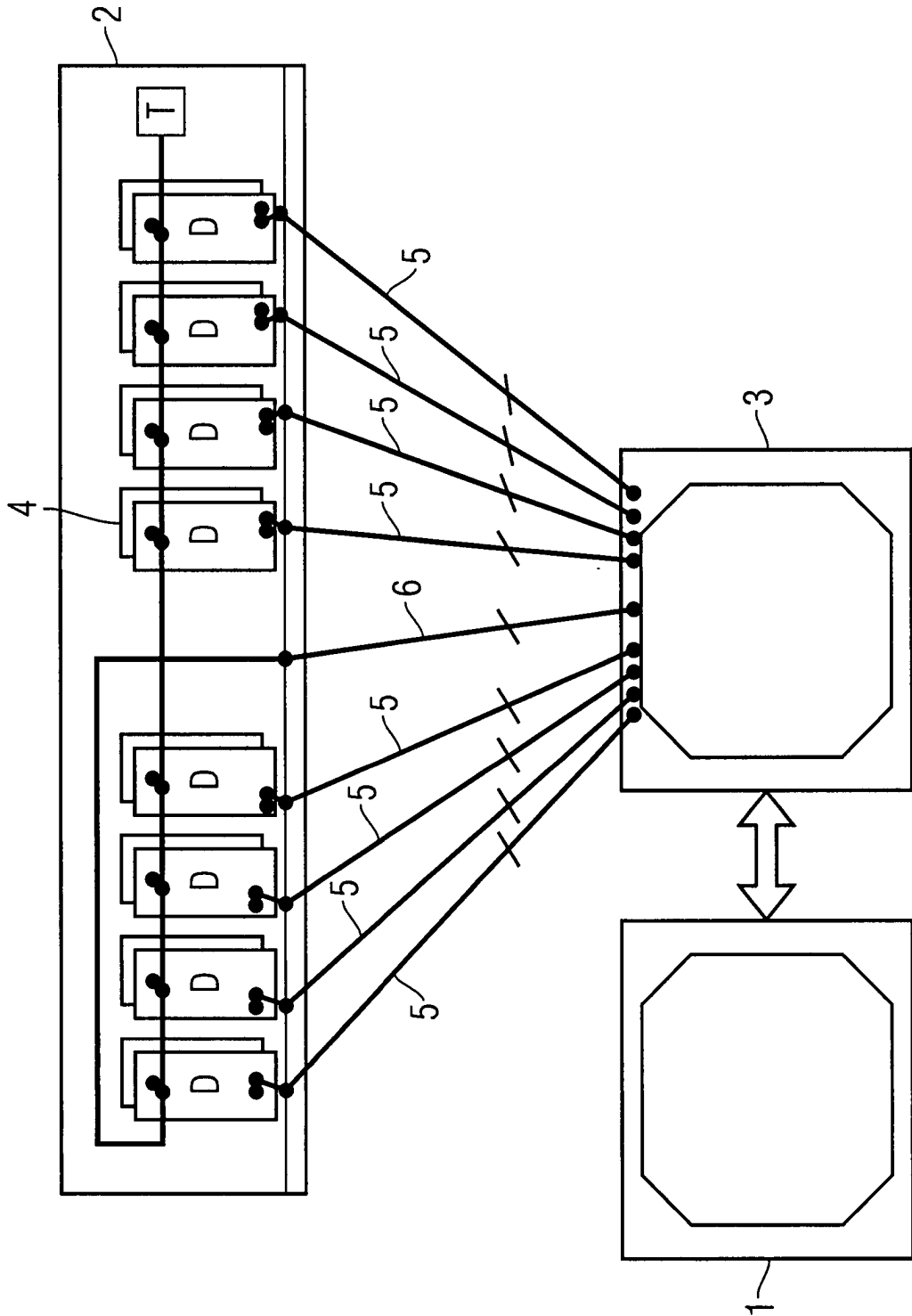


FIG 2

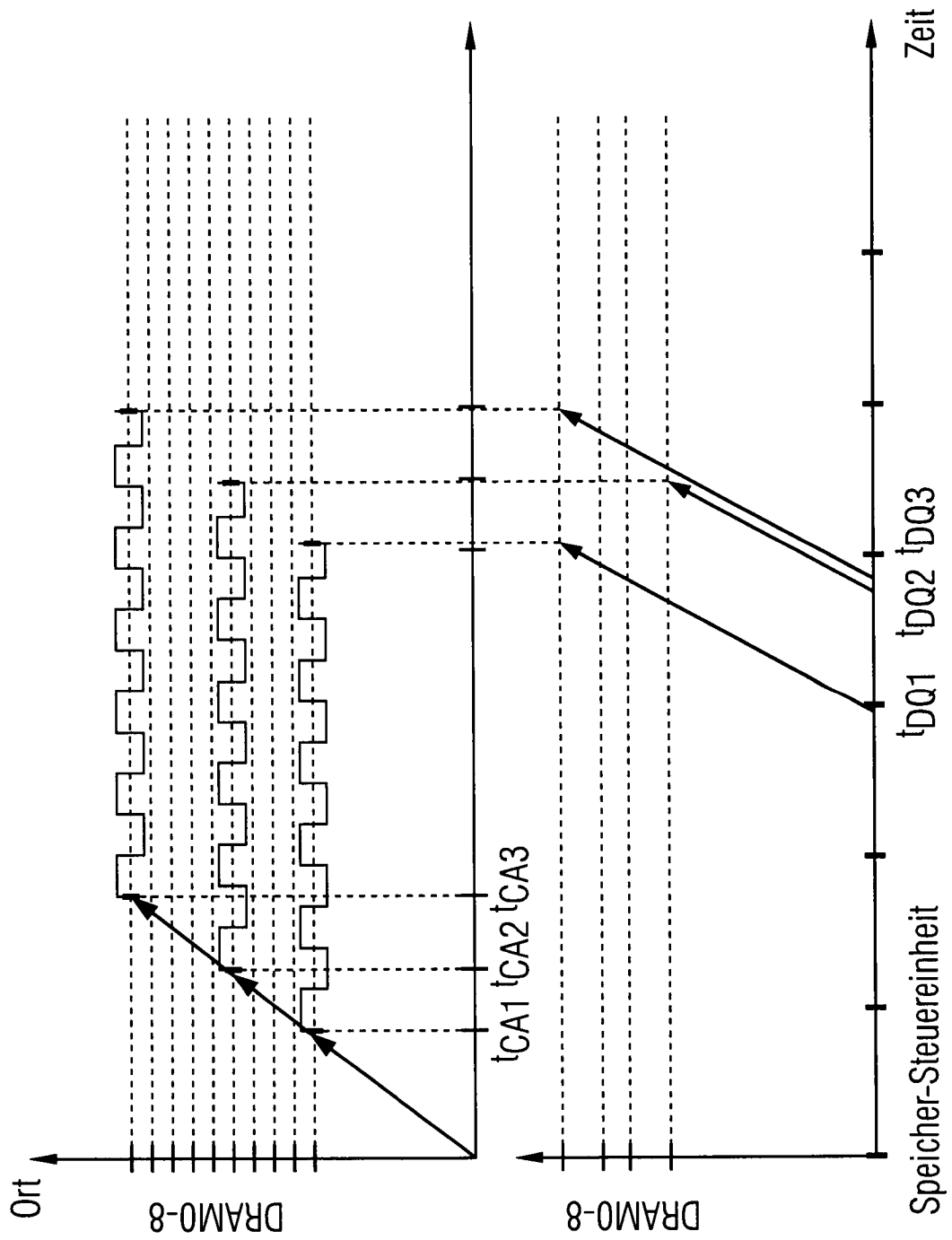


FIG 3

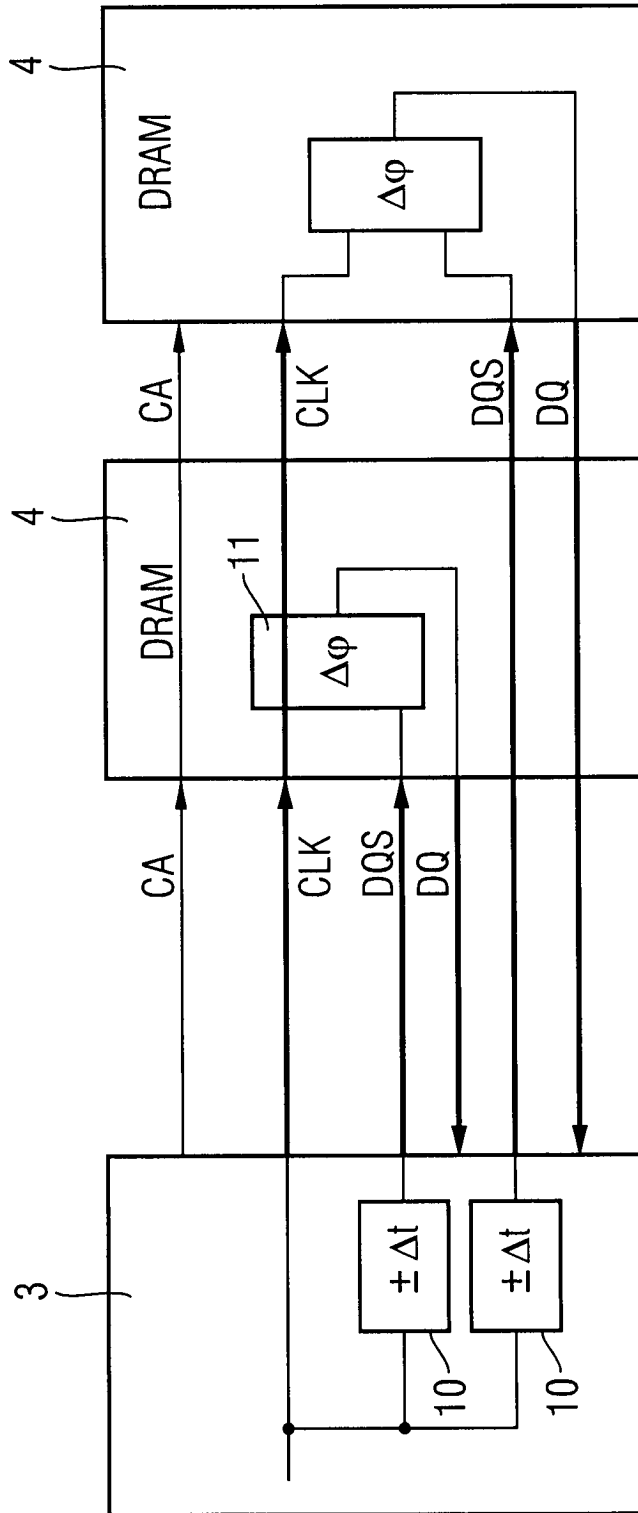


FIG 4

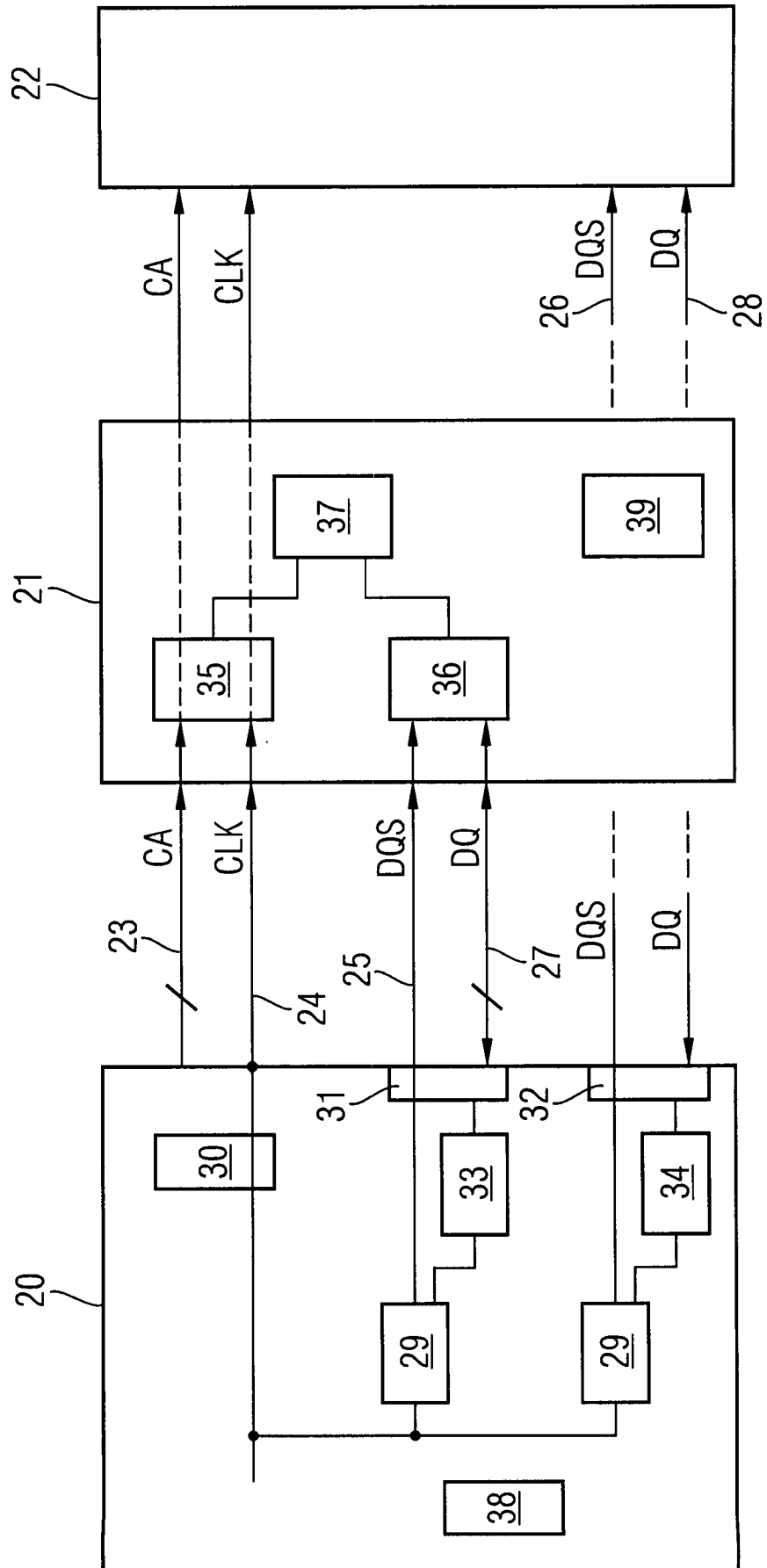


FIG 5

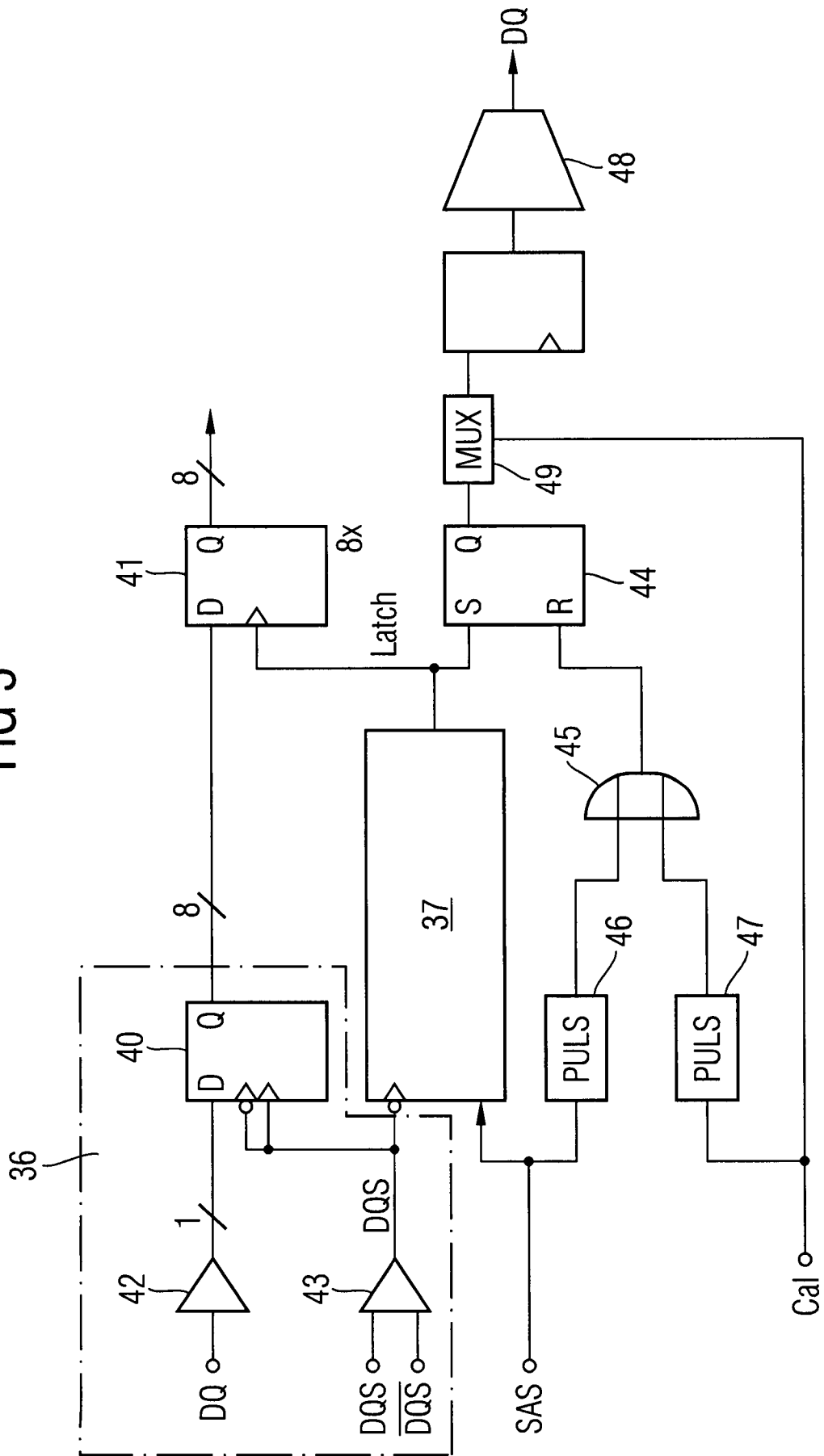
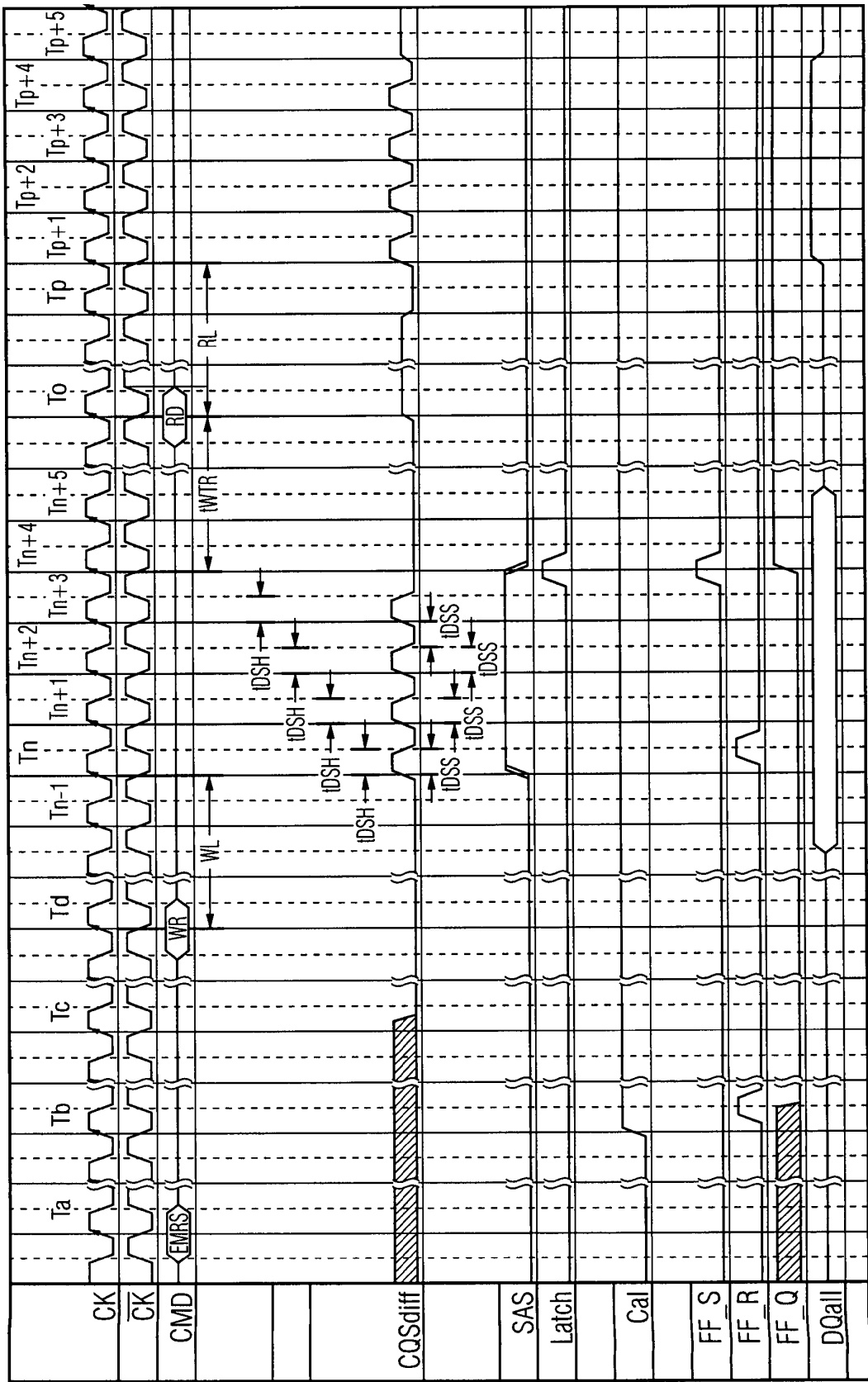


FIG 6



DQS →

S₂₅

FIG 7

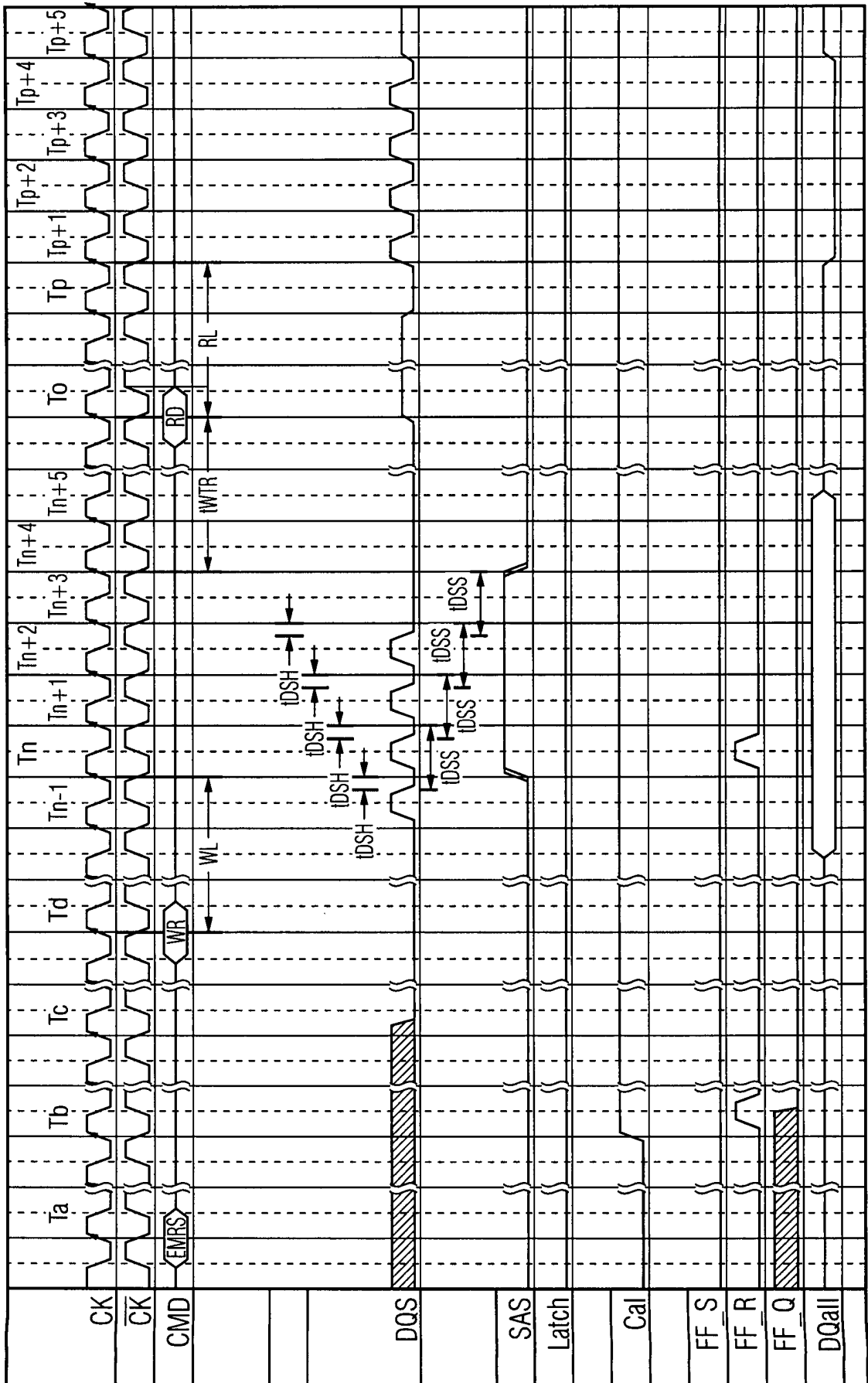


FIG 8

