



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I417973 B

(45) 公告日：中華民國 102 (2013) 年 12 月 01 日

(21) 申請案號：100124413

(22) 申請日：中華民國 100 (2011) 年 07 月 11 日

(51) Int. Cl. : H01L21/60 (2006.01)

H01L23/535 (2006.01)

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：林辰翰 LIN, CHEN HAN (TW)；張宏達 CHANG, HONG DA (TW)；劉正祥 LIU, CHENG HSIANG (TW)；廖信一 LIAO, HSIN YI (TW)；邱世冠 CHIU, SHIH KUANG (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

US 2003/0006502A1

US 2003/0122227A1

US 2004/0104460A1

審查人員：李宗衛

申請專利範圍項數：14 項 圖式數：15 共 0 頁

(54) 名稱

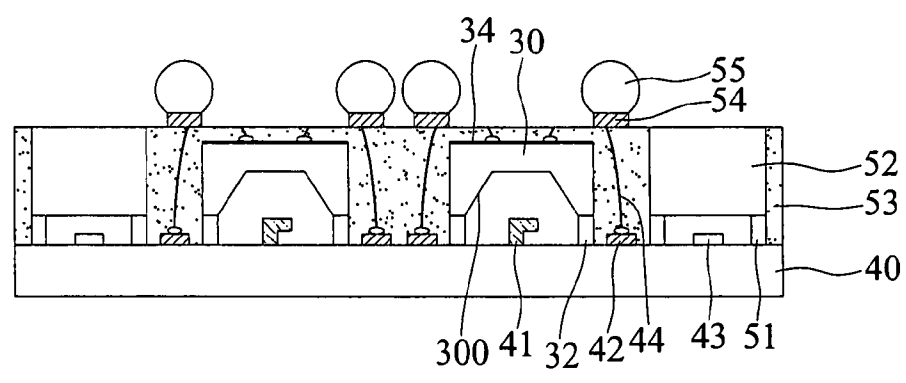
具微機電元件之封裝結構之製法

METHOD FOR FORMING PACKAGE STRUCTURE HAVING MEMS COMPONENT

(57) 摘要

一種具微機電元件之封裝結構之製法，係於具有微機電元件與第二對位鍵的晶圓上方單設板體，並切割該板體，以形成露出該第二對位鍵的板體開口，然後進行打線製程，再將複數塊體對應設於各該第二對位鍵上，並覆蓋封裝層，且從該封裝層的頂面移除部分厚度的該封裝層與部分該塊體，最後，利用對準儀藉由該第二對位鍵來對位，並於該封裝層上形成複數金屬導線。本發明之具微機電元件之封裝結構之製法無需製作貫穿矽基板之開孔，因此能節省生產成本，又板體僅單設該微機電元件，且移除部分該封裝層，所以更能降低整體厚度與體積。

Disclosed is a method for forming a package substrate having a MEMS component, including: disposing a board body on top of a wafer where a MEMS component and a plurality of second alignment keys are formed; cutting the board body to form an opening for exposing the second alignment key therefrom; performing the wire-bonding process and disposing a plurality of block bodies each corresponding to a second alignment key; covering the packaging layer and removing parts of the packaging layer having a certain thickness and parts of the block bodies; and employing an aiming apparatus to aim the position by the second alignment keys and forming metallic conductive traces on the packaging layer, such that the fabrication of openings penetrating the silicon substrate can be avoided and parts of the packaging layer are also removed to facilitate product miniaturization.



第3J圖

- 30 . . . 板體
- 300 . . . 凹槽
- 32 . . . 密封環
- 34 . . . 金屬層
- 40 . . . 晶圓
- 41 . . . 微機電元件
- 42 . . . 電性接點
- 43 . . . 第二對位鍵
- 44 . . . 金屬線
- 51 . . . 黏著劑
- 52 . . . 塊體
- 53 . . . 封裝層
- 54 . . . 金屬導線
- 55 . . . 錫球

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100124413

H01L 21/60 (2006.01)

※申請日：100. 7. 11

※IPC 分類：

H01L 23/535 (2006.01)

一、發明名稱：(中文/英文)

具微機電元件之封裝結構之製法

METHOD FOR FORMING PACKAGE STRUCTURE HAVING MEMS COMPONENT

二、中文發明摘要：

一種具微機電元件之封裝結構之製法，係於具有微機電元件與第二對位鍵的晶圓上方罩設板體，並切割該板體，以形成露出該第二對位鍵的板體開口，然後進行打線製程，再將複數塊體對應設於各該第二對位鍵上，並覆蓋封裝層，且從該封裝層的頂面移除部分厚度的該封裝層與部分該塊體，最後，利用對準儀藉由該第二對位鍵來對位，並於該封裝層上形成複數金屬導線。本發明之具微機電元件之封裝結構之製法無需製作貫穿矽基板之開孔，因此能節省生產成本，又板體僅罩設該微機電元件，且移除部分該封裝層，所以更能降低整體厚度與體積。

三、英文發明摘要：

(10.0005) Disclosed is a method for forming a package substrate having a MEMS component, including: disposing a board body on top of a wafer where a MEMS component and a plurality of second alignment keys are formed; cutting the board body to form an opening for exposing the second alignment key therefrom; performing the wire-bonding process and disposing a plurality of block bodies each corresponding to a second alignment key; covering the packaging layer and removing parts of the packaging layer having a certain thickness and parts of the block bodies; and employing an aiming apparatus to aim the position by the second alignment keys and forming metallic conductive traces on the packaging layer, such that the fabrication of openings penetrating the silicon substrate can be avoided and parts of the packaging layer are also removed to facilitate product miniaturization.

四、指定代表圖：

(一)本案指定代表圖為：第 (3J) 圖。

(二)本代表圖之元件符號簡單說明：

30	板體
300	凹槽
32	密封環
34	金屬層
40	晶圓
41	微機電元件
42	電性接點
43	第二對位鍵
44	金屬線
51	黏著劑
52	塊體
53	封裝層
54	金屬導線
55	鐳球

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種封裝結構之製法，尤指一種具微機電元件之封裝結構之製法。

【先前技術】

微機電系統（Micro Electro Mechanical System，簡稱 MEMS）是一種兼具電子與機械功能的微小裝置，在製造上乃藉由各種微細加工技術來達成，一般來說，微機電系統係將微機電元件設置於基板的表面上，並以保護罩或底膠進行封裝保護，俾使內部之微機電元件不受外界環境的破壞，而得到一具微機電元件之封裝結構。

請參閱第 1 圖，係習知具微機電元件之封裝結構之剖視圖。如圖所示，習知之具微機電元件之封裝結構係將例如為壓力感測元件的微機電元件 11 接置於平面柵格陣列（land grid array，簡稱 LGA）型態之基板 10 上，並利用打線方式從微機電元件 11 之電性連接端 111 電性連接至該 LGA 基板 10 之電性連接端 101，而使該微機電元件 11 與基板 10 電性連接，最終再於封裝基板 10 表面形成金屬蓋 12，以將該微機電元件 11 包覆於其中，而該金屬蓋 12 係用以保護該微機電元件 11 不受外界環境之污染破壞，而該微機電元件封裝結構之缺點為體積過大，無法符合終端產品輕薄短小之需求。

請參閱第 2 圖，故為了縮小具微機電壓力感測元件之整體封裝結構體積，業界又於西元 2005 年申請一晶圓級壓

力感測封裝結構之專利案（公開號為 US 2006/0185429），該封裝結構係將例如為壓力感測元件的微機電元件 21 直接製作於矽基板 23 上，最後並藉由陽極接合（anodic bonding）於該微機電元件 21 上接合玻璃蓋體 24。

惟，於該矽基板 23 中形成感測腔體 231 及貫通矽基板 23 兩表面之通孔 232，因此需要使用矽貫孔（Through Silicon Via，簡稱 TSV）技術，而該技術係應用氫氧化鉀（KOH）作為蝕刻劑以形成通孔或凹槽。

相較於前述第一種習知技術結構，第 2006/0185429 號專利所揭示之結構雖可大幅縮小具微機電元件之封裝結構之整體體積，但是以 TSV 技術形成通孔及凹槽的製程不僅價格昂貴，且技術精密度要求亦高，故將微機電元件封裝結構以晶圓製程製作，雖可得到尺寸較小之封裝件，但該技術複雜且耗費成本甚鉅。

因此，如何避免上述習知技術中之種種問題，俾使具微機電元件之封裝結構的製造成本與體積減少，實已成為目前亟欲解決的課題。

【發明內容】

有鑒於上述習知技術之缺失，本發明提供一種具微機電元件之封裝結構之製法，係包括：準備一具有相對之第一表面與第二表面之板體、以及一具有相對之第三表面與第四表面之晶圓，該板體第一表面上具有複數凹槽、複數第一對位鍵、與對應位於各該凹槽周緣的複數密封環，該第三表面上具有複數微機電元件、複數電性接點與複數第

二對位鍵；將該板體與該晶圓結合，其結合方式係令將各該第一對位鍵對應至各該第二對位鍵，使該板體之密封環接置於該晶圓之第三表面上以達成氣密封裝，而令各該微機電元件對應設於各該凹槽與密封環中；從該第二表面薄化該板體以減少最終封裝結構的厚度；形成金屬層於該第二表面上以供後續金屬線連接使用；切割該板體，以形成露出該等電性接點與該等第二對位鍵的板體開口；以黏著劑將複數塊體對應黏設於各該第二對位鍵上，該塊體可讓該第二對位鍵得由上方觀察；以複數金屬線連接該電性接點與該金屬層；於該晶圓之第三表面上形成封裝層，以包覆該板體、電性接點、塊體與金屬線；從該封裝層的頂面移除部分厚度的該封裝層與部分該金屬線，以外露該金屬線之一端供該第二對位鍵至外部，且該封裝層的頂面高於該塊體的頂面；移除該塊體頂面上的該封裝層，以避免該封裝層遮蔽視線；以及藉由該第二對位鍵來對位，並於該封裝層上形成複數金屬導線，該金屬導線係藉由該金屬線以電性連接至該電性接點。

由上可知，本發明之具微機電元件之封裝結構之製法係無需製作貫穿矽基板之開孔，故無需購買製作貫穿開孔專用之設備，而可降低生產成本；此外，本發明之板體僅罩設該微機電元件，而非罩設於該金屬線上方，且移除部分該金屬線，所以更能降低整體厚度與體積。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方

式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“左”、“右”、“頂”、“底”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

請參閱第 3A 至 3K 圖，係本發明之具微機電元件之封裝結構及其製法之剖視圖，其中，第 3G' 圖係第 3G 圖的俯視示意圖，第 3J' 圖係第 3J 圖的另一實施態樣。

首先，如第 3A 圖所示，準備一具有相對之第一表面 30a 與第二表面 30b 之板體 30，該第一表面 30a 上具有複數第一對位鍵 (alignment key) 31，該板體 30 之材質可為玻璃 (glass) 或含矽之基材，並藉由例如深反應式離子蝕刻 (DRIE)、氫氧化鉀 (KOH) 或氫氧化四甲基銨 (TMAH) 以蝕刻形成複數凹槽 300。

如第 3B 圖所示，於各該凹槽 300 周緣對應設置密封環 32，該密封環 32 之材質可為玻璃粉 (glass frit)、環氧

樹脂 (epoxy)、乾膜 (dry film)、金 (Au)、銅 (Cu)、銦化金 (AuIn)、錫料 (solder)、鍺 (Ge)、鍺化鋁 (AlGe)、或矽鍺 (SiGe)。

如第 3C 圖所示，提供一具有相對之第三表面 40a 與第四表面 40b 之晶圓 40，該第三表面 40a 上具有複數微機電元件 41、複數電性接點 42 與複數第二對位鍵 43，接著，將該板體 30 與該晶圓 40 結合，其結合方式係令將各該第一對位鍵 31 對應至各該第二對位鍵 43，使該板體 30 之密封環 32 接置於該晶圓 40 之第三表面 40a 上，而令各該微機電元件 41 對應設於各該凹槽 300 與密封環 32 中，其中，該微機電元件 41 可為陀螺儀、加速度計或射頻微機電元件，且此時該微機電元件 41 已被氣密封裝在該凹槽 300 中。

如第 3D 圖所示，可藉由研磨方式從該第二表面 30b 移除部分厚度的該板體 30，而剩下約 200 至 300 微米 (μm) 厚的板體 30。

如第 3E 圖所示，利用具有紅外線 (IR) 光源的雙面對準儀 (double side aligner) 進行定位與曝光，以於該第二表面 30b 上製作出對應各該第二對位鍵 43 的第三對位鍵 33，詳而言之，先以對準儀進行定位與曝光，再以顯影設備進行顯影製程，而後以蝕刻機台蝕刻出例如開孔的該第三對位鍵 33，該第三對位鍵 33 係供後續切割時之對位；接著，利用濺鍍或蒸鍍方式於該第二表面 30b 上形成金屬層 34，該金屬層 34 之材質可為鋁/銅 (Al/Cu) (即依序

形成鋁層與銅層)。要注意的是，如果該板體 30 係為透明材質，則僅需使用一般單面之對準儀。

如第 3F 圖所示，切割該板體 30，以形成露出該等電性接點 42 與該等第二對位鍵 43 的板體開口 301，然後以複數金屬線 44 連接該電性接點 42 與該金屬層 34。

如第 3G 圖所示，利用晶粒接置器 (die bonder) 以藉由黏著劑 51 將複數塊體 52 對應黏設於各該第二對位鍵 43 上，且該塊體 52 之頂面高於該金屬線 44，其中，該黏著劑 51 之材質可為玻璃粉 (glass frit)、環氧樹脂 (epoxy)、或乾膜 (dry film)，該塊體 52 之材質可為玻璃或含矽之基材等透明材質。

如第 3G' 圖所示，該等塊體 52 之數量較佳為兩個，且係分別置於該晶圓 40 的周緣處任意相對兩側，要注意的是，第 3G' 圖只是要清楚表達該等塊體 52 的位置 (同樣是第二對位鍵 43 的位置)，因此並未顯示所有第 3G 圖的構件。

如第 3H 圖所示，於該晶圓 40 之第三表面 40a 上形成封裝層 53，以包覆該板體 30、電性接點 42、塊體 52 與金屬線 44。

如第 3I 圖所示，藉由研磨方式從該封裝層 53 的頂面移除部分厚度的該封裝層 53、部分該金屬線 44、與部分該塊體 52，以外露該金屬線 44 之一端與該塊體 52。

如第 3J 圖所示，利用對準儀藉由該第二對位鍵 43 來對位，並於該封裝層 53 上形成金屬導線 54，該金屬導線

54 係藉由該金屬線 44 以電性連接至該電性接點 42，再於該金屬導線 54 上形成鐳球 55。

或者，如第 3J' 圖所示，於該封裝層 53 上形成第一絕緣層 56，該第一絕緣層 56 具有複數外露該金屬線 44 端部之第一絕緣層開口 560，且該金屬導線 54 係形成於該第一絕緣層開口 560 處以電性連接該金屬線 44，然後，於該第一絕緣層 56 與金屬導線 54 上形成第二絕緣層 57，且該第二絕緣層 57 具有複數外露部分該金屬導線 54 之第二絕緣層開口 570，並於該第二絕緣層開口 570 處形成凸塊下金屬層 58 及其上的鐳球 55，即進行線路重佈(Redistribution Line，簡稱 RDL)製程，而達到線路之電性連接墊擴散(Fan out)或內聚(Fan in)之需求，以符合產品設計之需要。

如第 3K 圖所示，係延續自第 3J 圖，進行切單製程，以得到複數個具微機電元件之封裝結構 6。

綜上所述，本發明之具微機電元件之封裝結構之製法係無需製作貫穿矽基板之開孔，故無需購買用以製作 TSV 的設備，而可降低生產成本；此外，本發明之板體僅罩設該微機電元件，且移除部分該金屬線，所以更能降低整體厚度與體積。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖係一種習知具微機電元件之封裝結構之剖視圖；

第 2 圖係另一種習知具微機電元件之封裝結構之剖視圖；以及

第 3A 至 3K 圖係本發明之具微機電元件之封裝結構及其製法之剖視圖，其中，第 3G' 圖係第 3G 圖的俯視示意圖，第 3J' 圖係第 3J 圖的另一實施態樣。

【主要元件符號說明】

10	基板
11、21、41	微機電元件
101、111	電性連接端
12	金屬蓋
23	矽基板
231	感測腔體
232	通孔
24	玻璃蓋體
30	板體
30a	第一表面
30b	第二表面
300	凹槽
301	板體開口
31	第一對位鍵
32	密封環

33	第三對位鍵
34	金屬層
40	晶圓
40a	第三表面
40b	第四表面
42	電性接點
43	第二對位鍵
44	金屬線
51	黏著劑
52	塊體
53	封裝層
54	金屬導線
55	錫球
56	第一絕緣層
560	第一絕緣層開口
57	第二絕緣層
570	第二絕緣層開口
58	凸塊下金屬層
6	封裝結構

七、申請專利範圍：

1. 一種具微機電元件之封裝結構之製法，係包括：

準備一具有相對之第一表面與第二表面之板體、以及一具有相對之第三表面與第四表面之晶圓，該板體第一表面上具有複數凹槽、複數第一對位鍵、與對應位於各該凹槽周緣的複數密封環，該第三表面上具有複數微機電元件、複數電性接點與複數第二對位鍵；

將該板體與該晶圓結合，其結合方式係令各該第一對位鍵對應至各該第二對位鍵，使該板體之密封環接置於該晶圓之第三表面上，而令各該微機電元件對應設於各該凹槽與密封環中；

從該第二表面薄化該板體；

於該第二表面上形成對應各該第二對位鍵的第三對位鍵；

形成金屬層於該第二表面上；

切割該板體，以形成露出該等電性接點與該等第二對位鍵的板體開口；

以複數金屬線連接該電性接點與該金屬層；

以黏著劑將複數塊體對應黏設於各該第二對位鍵上，且該塊體之頂面高於該金屬線；

於該晶圓之第三表面上形成封裝層，以包覆該板體、電性接點、塊體與金屬線；

從該封裝層的頂面移除部分厚度的該封裝層、部分該金屬線、與部分該塊體，以外露該金屬線之一端與該

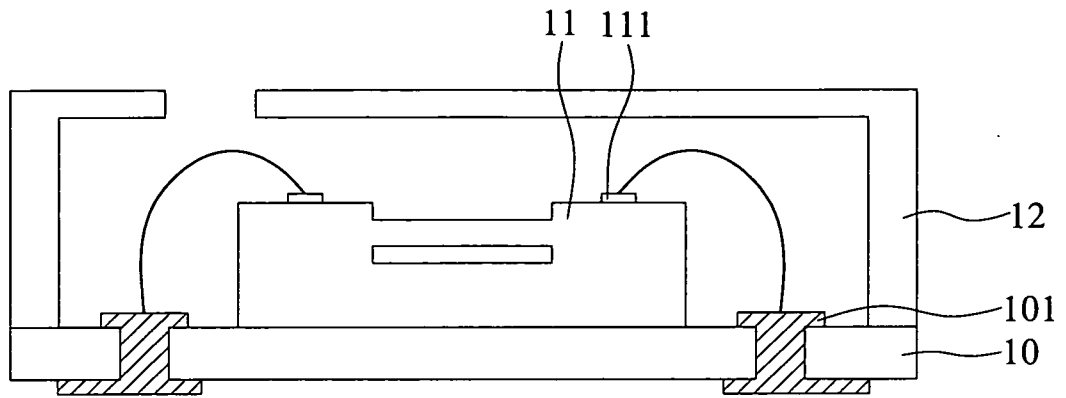
塊體；以及

藉由該第二對位鍵來對位，並於該封裝層上形成複數金屬導線，令該金屬導線藉由該金屬線電性連接至該電性接點。

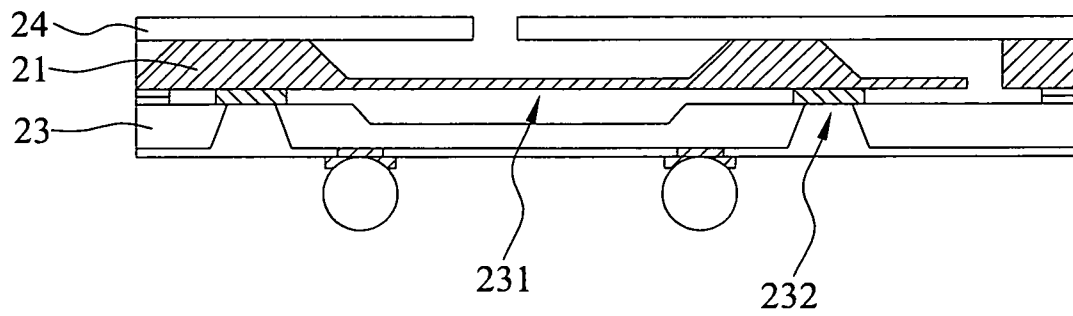
2. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，復包括於形成該金屬導線之前，於該封裝層上形成第一絕緣層，該第一絕緣層具有複數外露該金屬線之第一絕緣層開口，且該金屬導線係形成於該第一絕緣層開口處以電性連接該金屬線。
3. 如申請專利範圍第 2 項所述之具微機電元件之封裝結構之製法，復包括於該第一絕緣層與金屬導線上形成第二絕緣層，且該第二絕緣層具有複數外露部分該金屬導線之第二絕緣層開口。
4. 如申請專利範圍第 1、2 或 3 項所述之具微機電元件之封裝結構之製法，於形成該金屬導線之後，復包括於該金屬導線上形成鐸球。
5. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，該第三對位鍵係為開孔。
6. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，該塊體之數量為兩個，且係分別位於該晶圓的周緣處任意相對兩側。
7. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，該等凹槽係藉由深反應式離子蝕刻 (DRIE)、氫氧化鉀 (KOH) 或氫氧化四甲基銨 (TMAH)

而蝕刻產生。

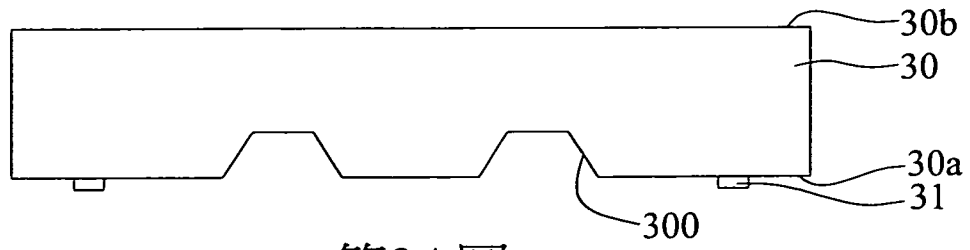
8. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，該密封環之材質為玻璃粉(glass frit)、環氧樹脂(epoxy)、乾膜(dry film)、金(Au)、銅(Cu)、銦化金(AuIn)、錫料(solder)、鍺(Ge)、鍺化鋁(AlGe)、或矽鍺(SiGe)。
9. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，該金屬層之材質為鋁/銅(Al/Cu)。
10. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，該塊體之材質為玻璃或含矽之基材。
11. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，該黏著劑之材質為玻璃粉(glass frit)、環氧樹脂(epoxy)、或乾膜(dry film)。
12. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，該微機電元件為陀螺儀、加速度計或射頻微機電元件。
13. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，復包括進行切單製程，以得到複數個具微機電元件之封裝結構。
14. 如申請專利範圍第 1 項所述之具微機電元件之封裝結構之製法，其中，製作該第三對位鍵時係以對準儀進行定位與曝光，之後再進行顯影和蝕刻製程，以形成該第三對位鍵。



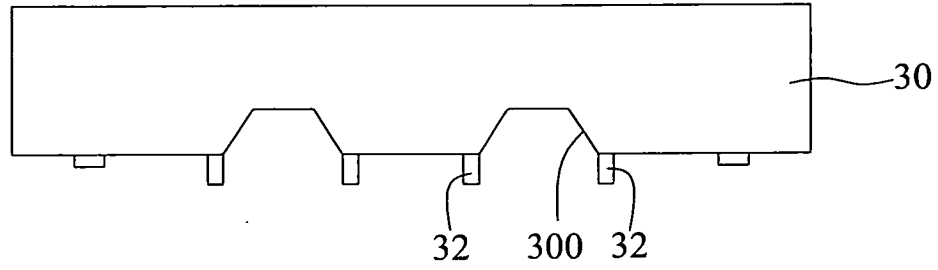
第1圖



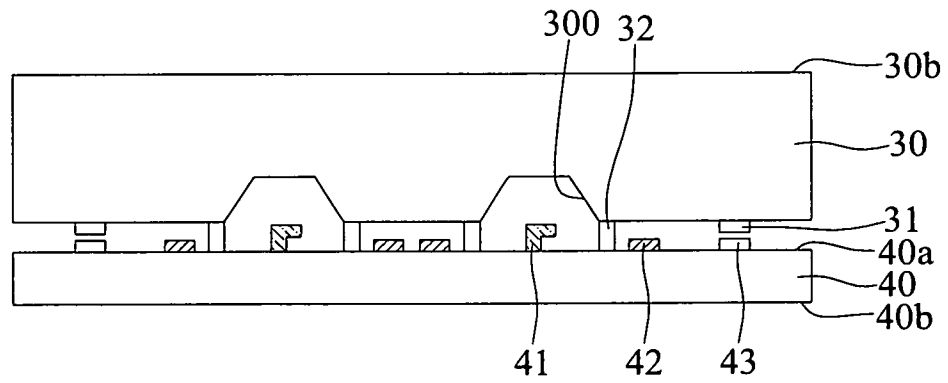
第2圖



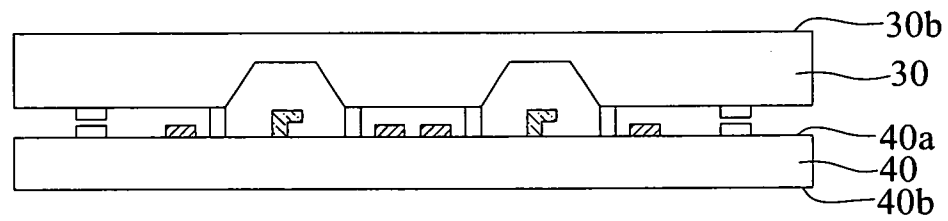
第3A圖



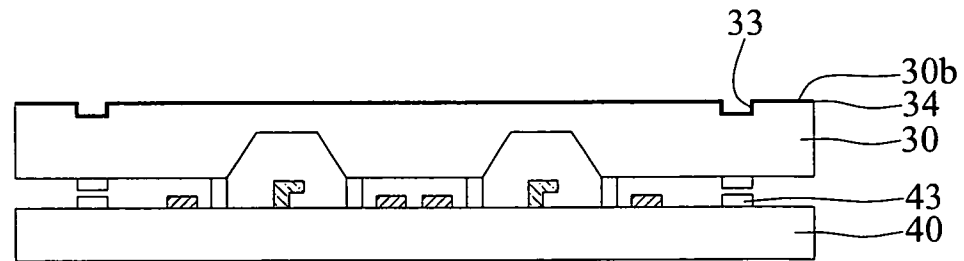
第3B圖



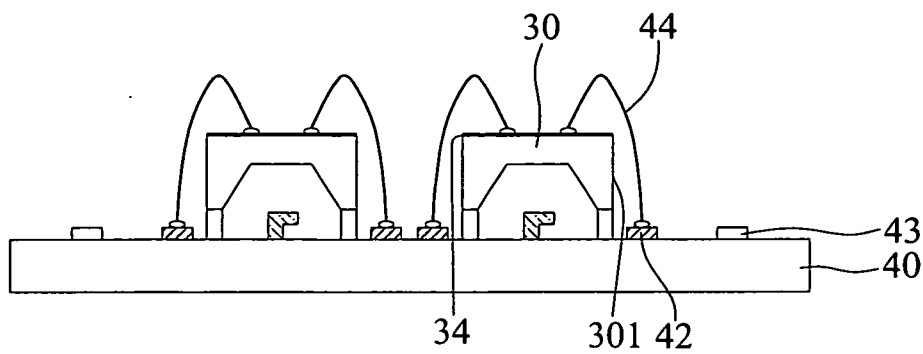
第3C圖



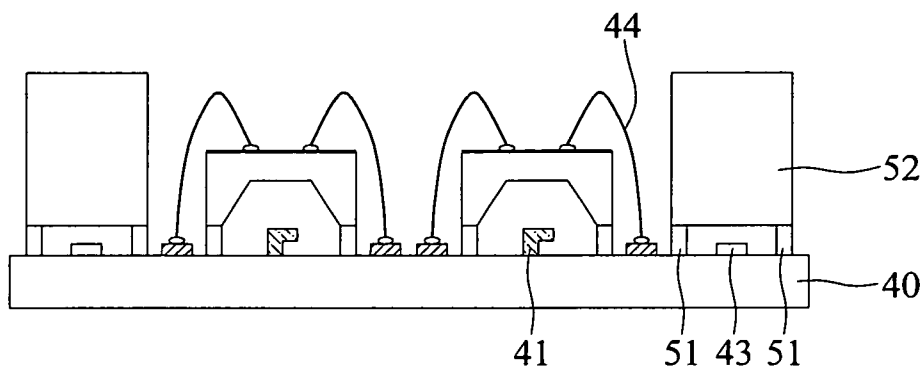
第3D圖



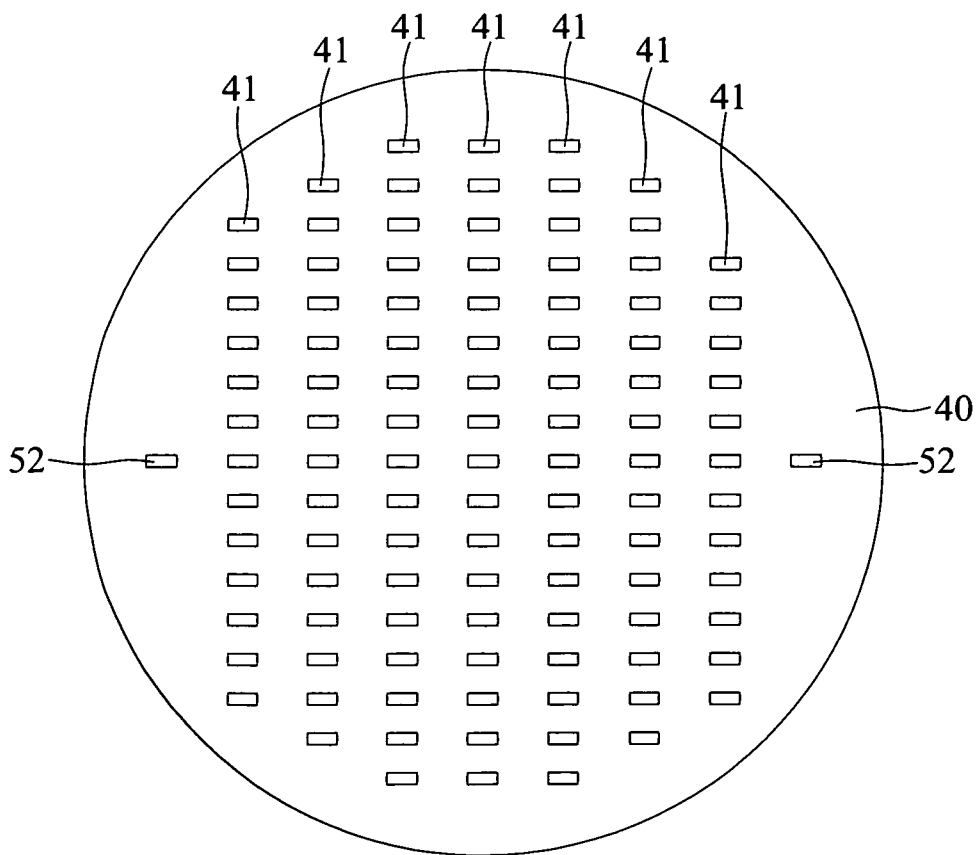
第3E圖



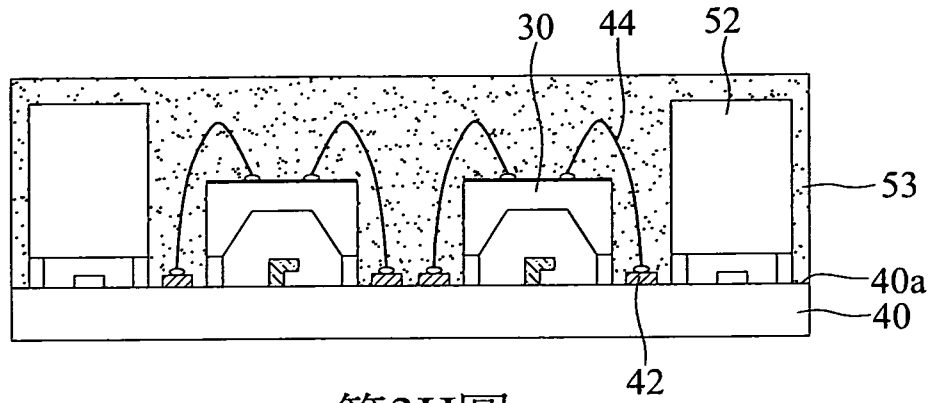
第3F圖



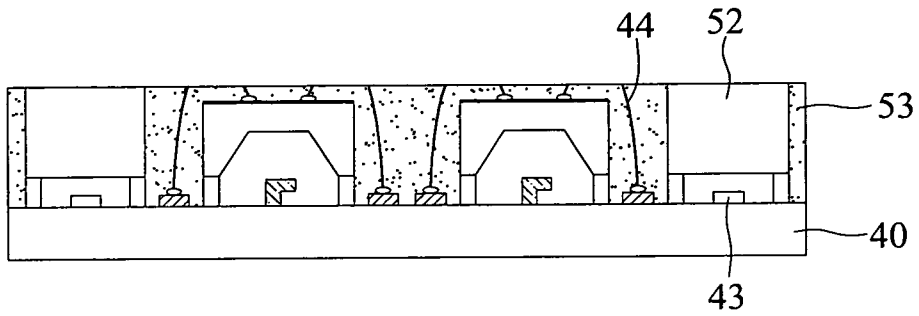
第3G圖



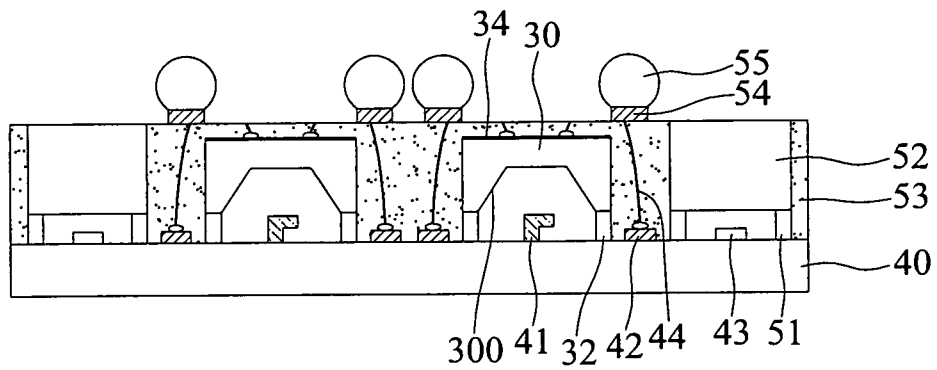
第3G圖



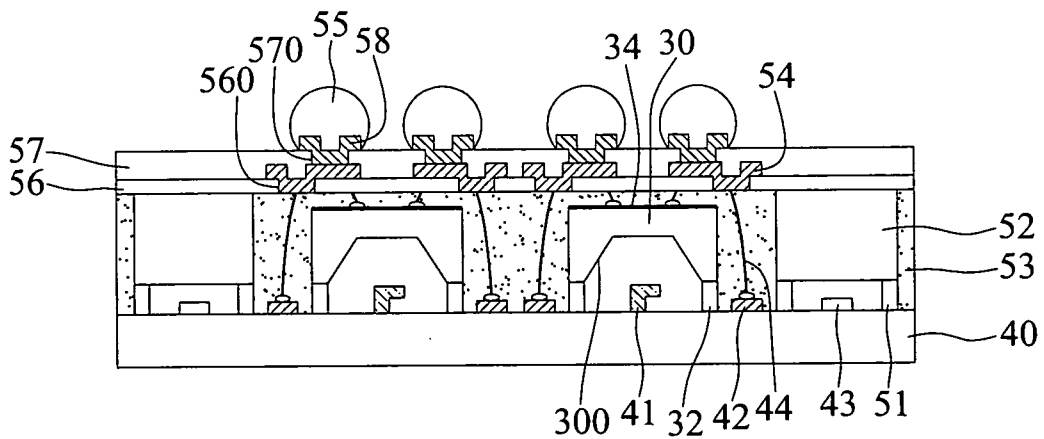
第3H圖



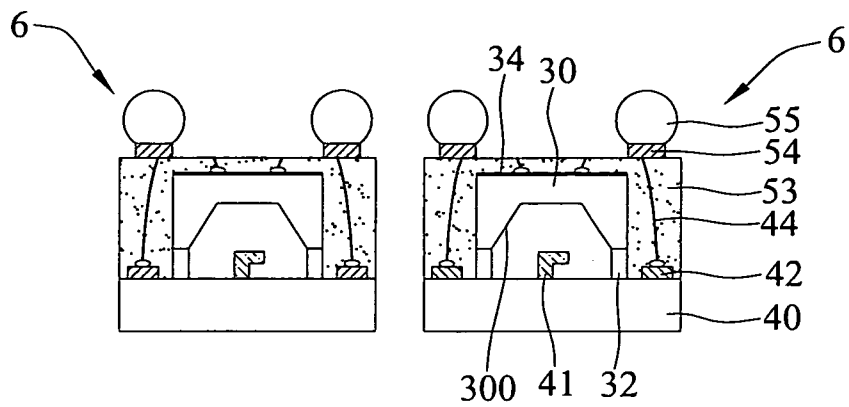
第3I圖



第3J圖



第3J'圖



第3K圖